
MICRO-CONTROLLER



Was ist ein Micro-Controller ?

Controller = Steuerung

Ein Controller wird zur Steuerung eines physischen Prozesses eingesetzt.

Die Realisierung eines Controllers kann auf viele verschiedene Arten erfolgen, z.B. ein Schaltschrank mit Relais, ein analoger Regelkreis oder eine speziell aufgebaute digitale Logikschaltung.

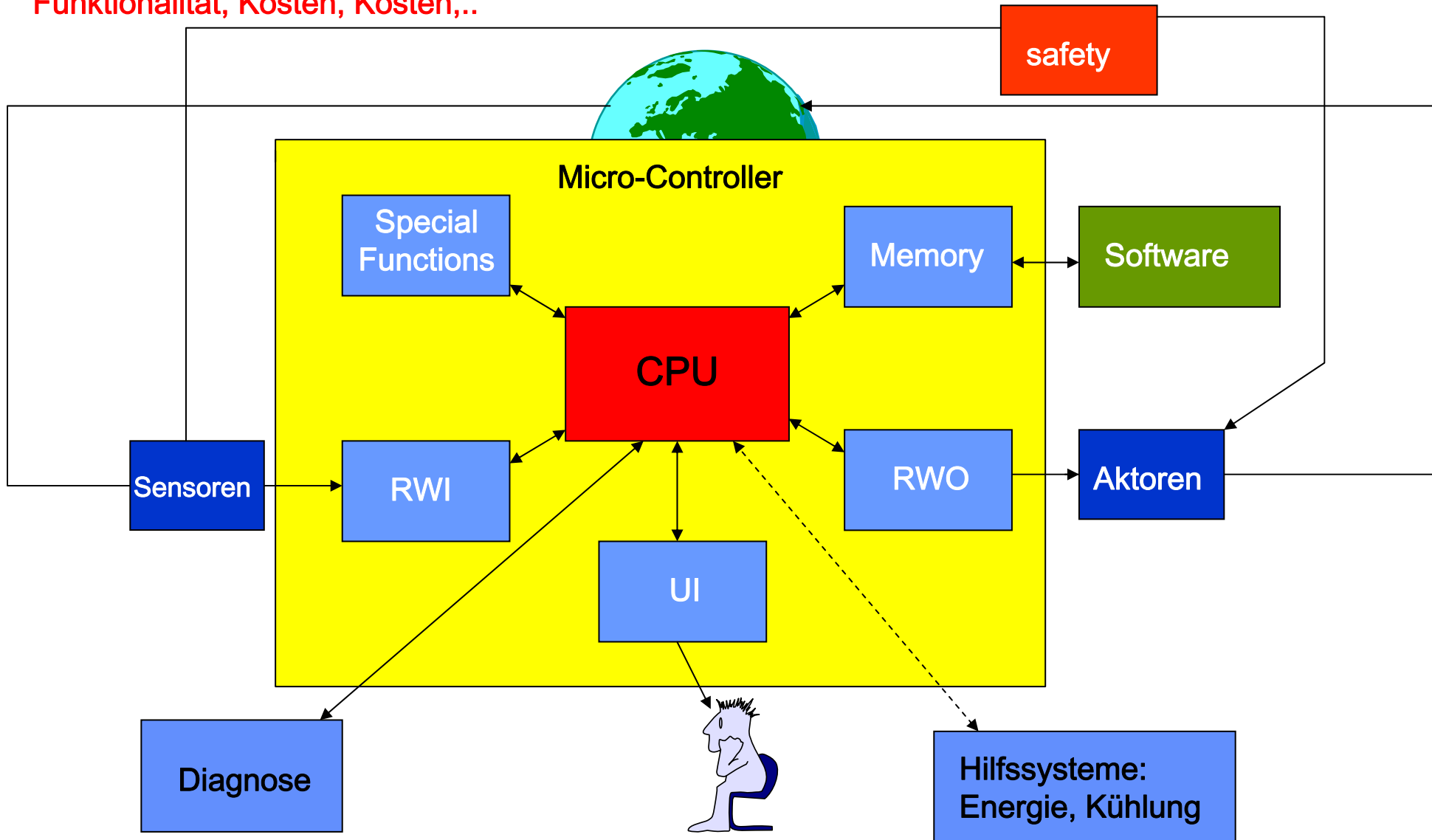
Speicherprogrammierbare Steuerung (SPS)
Programmable Logic Controller (PLC)

Ein Micro-Controller ist eine Steuerungskomponente, deren Funktionen von einem Mikroprozessor kontrolliert werden.

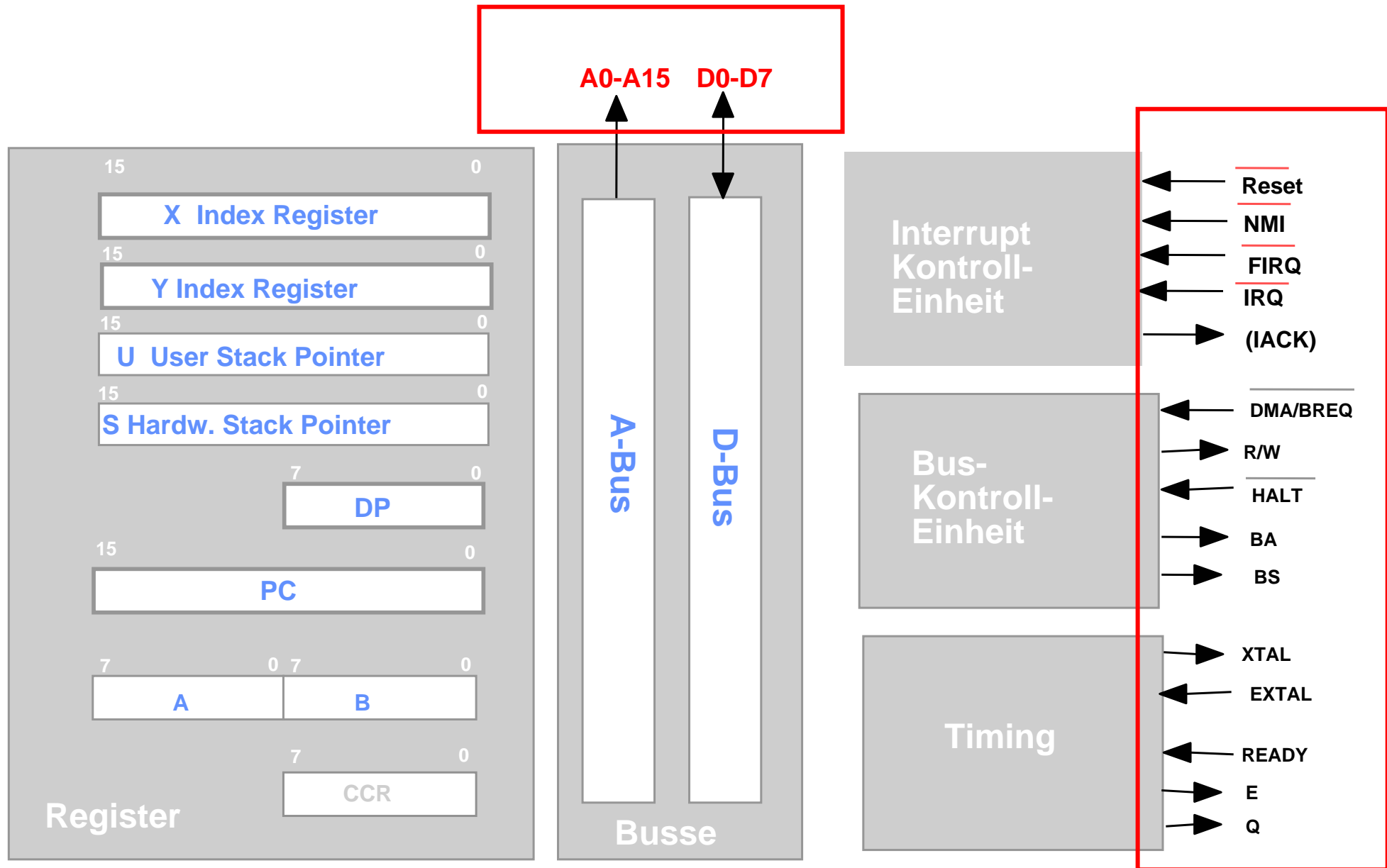


Systemsicht eines Architekten für Kontrollsysteme:

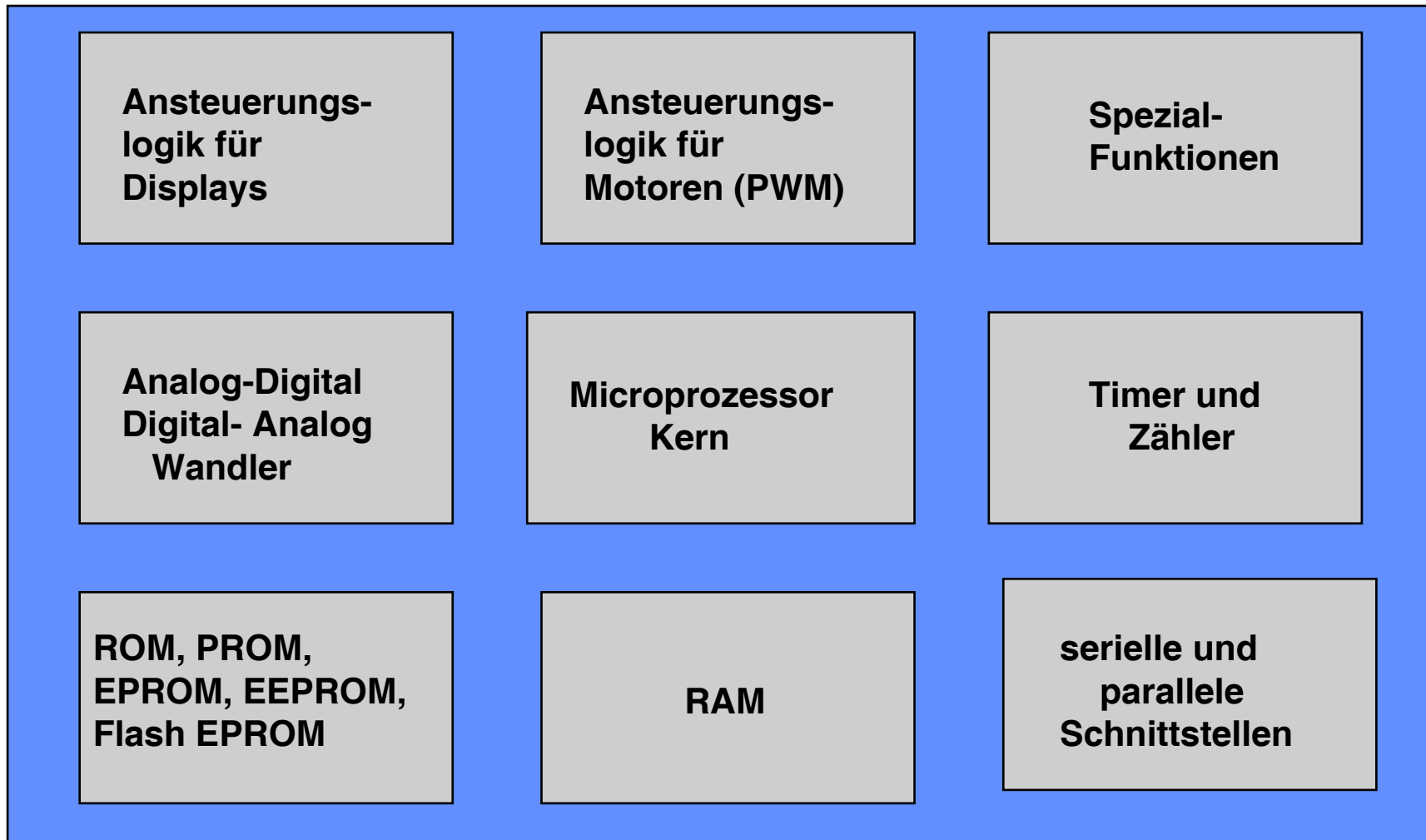
Leistungs-Eigenschaften gemessen in: **Kosten, Time-to-Market, Kosten, Funktionalität, Kosten, Kosten,..**



Schnittstelle eines Microprozessors: Speicherbus



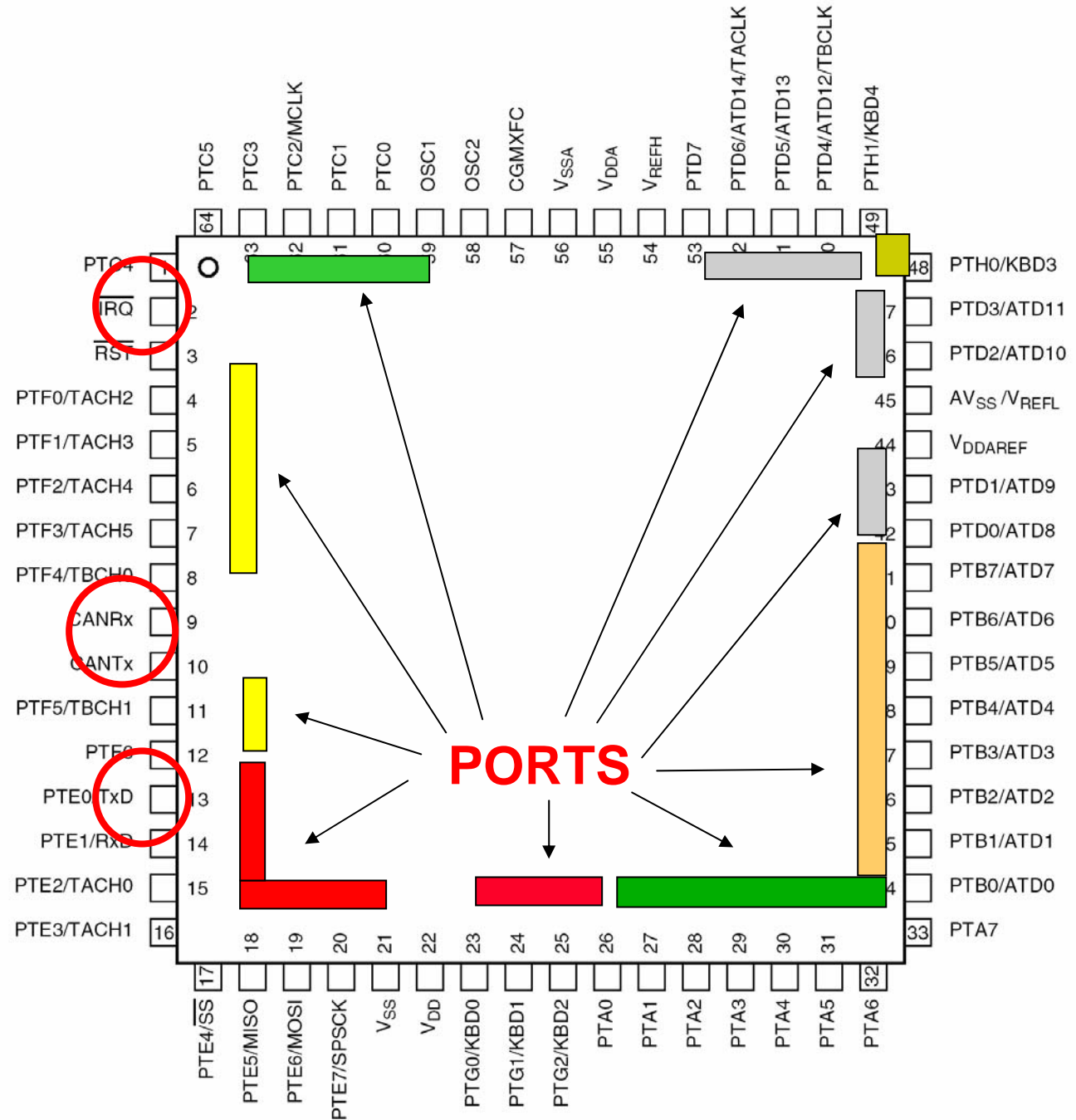
Micro-Controller



Schnittstelle zu einem Micro-Controller:

PORTS

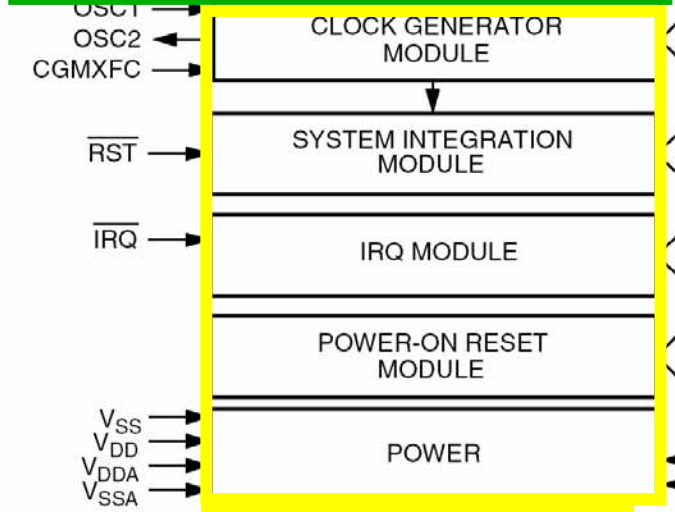
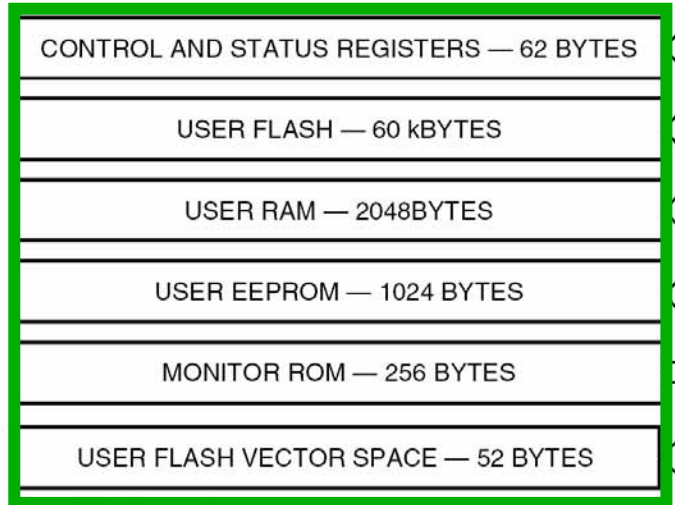
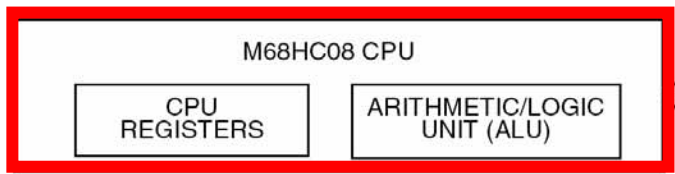
Beispiel:
Motorola
MC 68HC908AZ60A



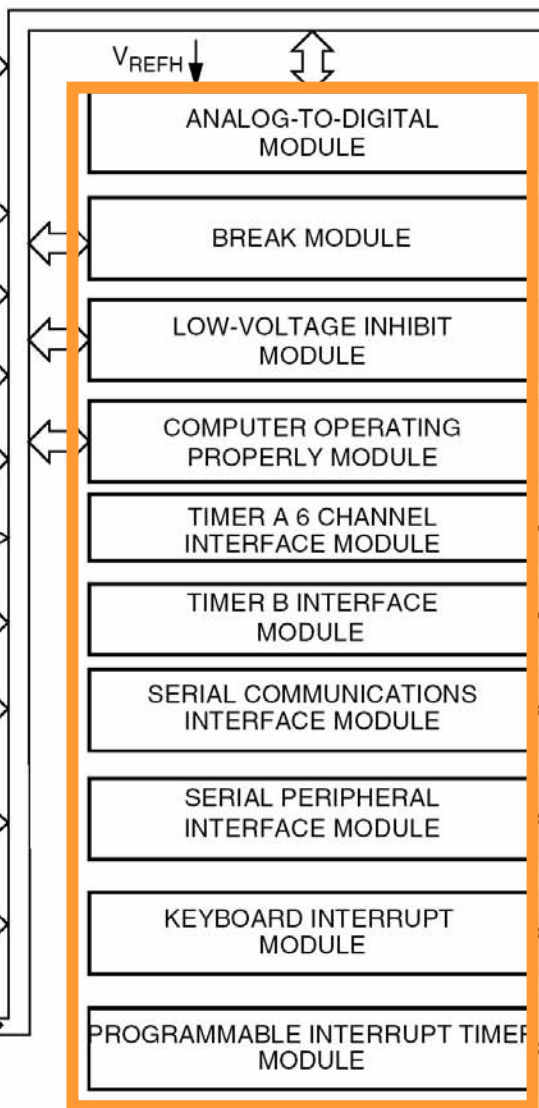
CPU

Memory

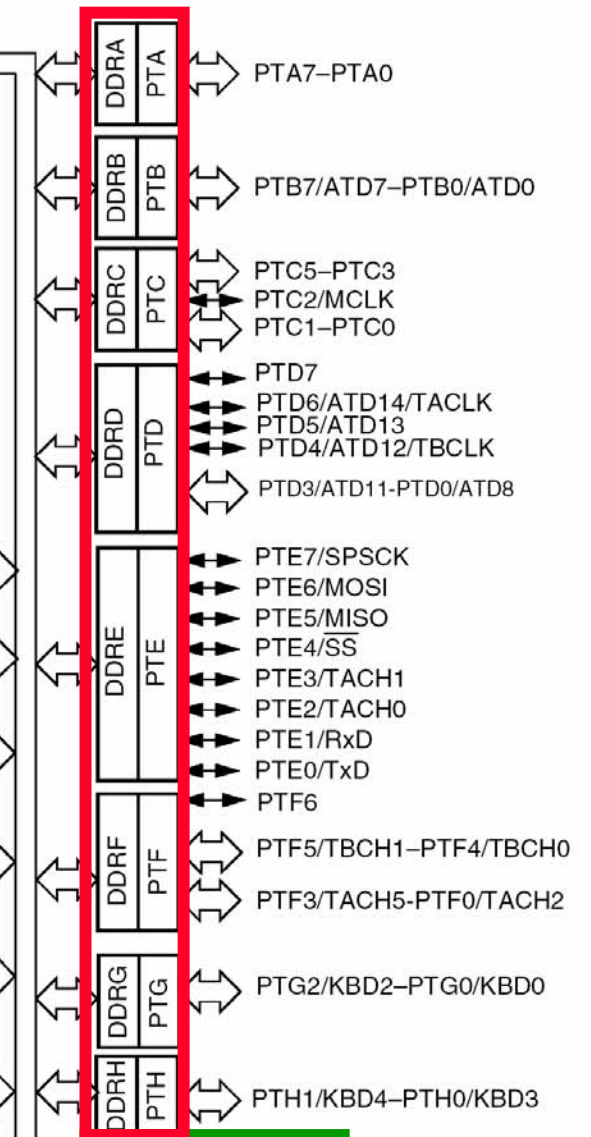
Ports



System-Module



Anwender-Module



Netzwerk



Micro-Controller-Familien :

Zielanwendung	Spez. Komponenten	Nutzung
General Purpose	Timer, A/D, EEPROM, Input Capture/Output Compare serielle und synchr.Schnittstellen	logic replacement,
Automotive	EEPROM, CAN A/D, On-Chip Spannungs- stabilisator	Electric Seat Control Klima, Radio, Alarm, IR-Schlüssel Zündung, Air Bag, etc.
Computer	Monitorsteuerung (hor./vert. Sync), PWM	Tastatur-, Maus-, Monitorkontrolle
Consumer	Multitask Support, LCD-Treiber	Waschmaschinen, CD-Spieler, Handy Fernsteuerung
Industrial	EEPROM, A/D, Timer, PWM, CAN	SPS, Motor-Kontrolle, Thermostat
Telecommunications	EEPROM, DTMF-receiver +generator A/D, D/A, Tongenerator	Digitale Übertragung, Handy-Kontrolle
TV + Video	EEPROM, On-Screen-Display-Supp. LCD- und andere Anzeigetreiber	Videorecorder-Kontrolle, Bildschirm-Menues

PIN-Count, Preis, Störuneempfindlichkeit, Anpaßbarkeit



32-Bit Prozessoren Markanteile 1998 (Computer Zeitung 16/99)

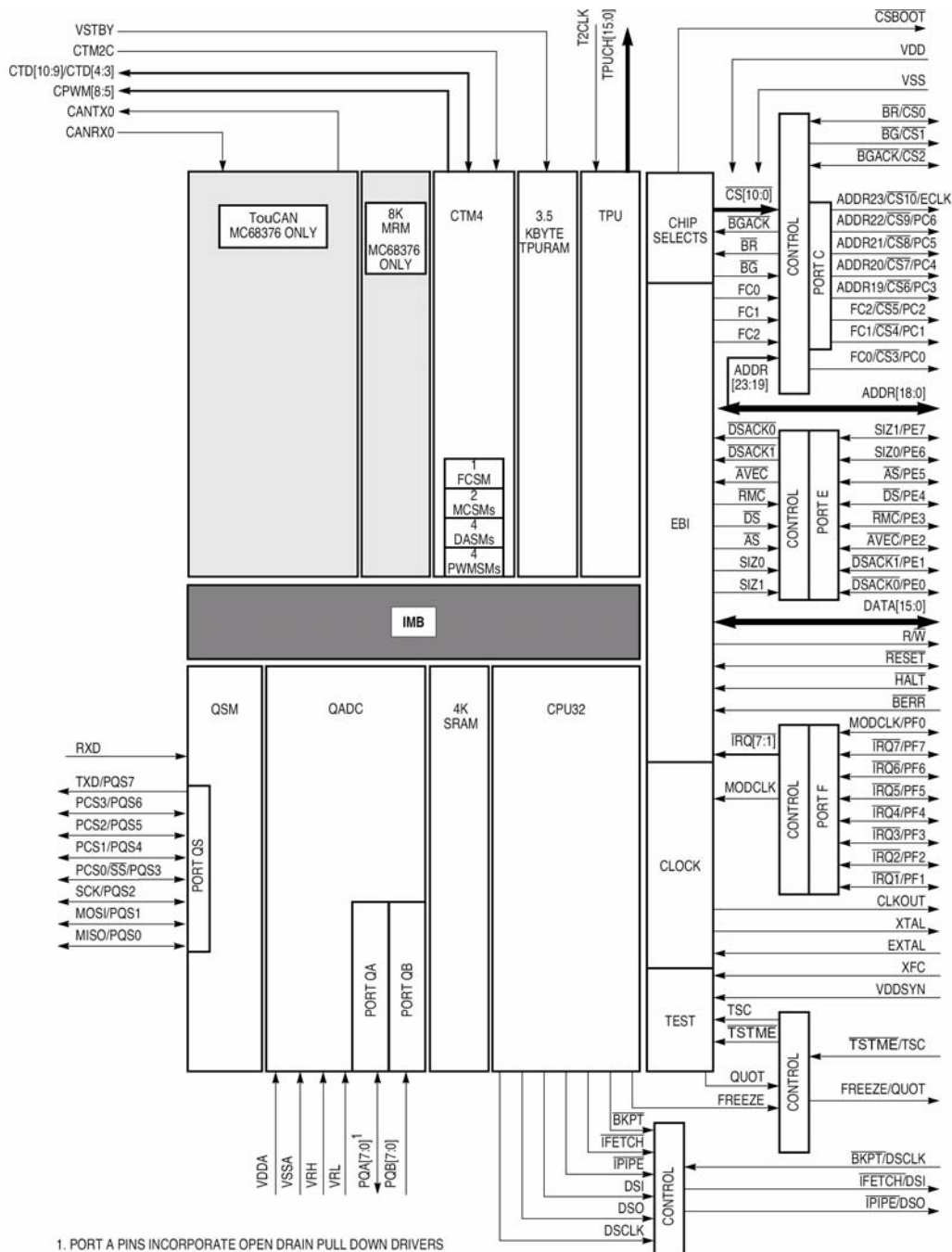
Motorola 68K/Coldfire	34,1%
Mips	20,5%
ARM	19,6%
Hitachi Super-H	10,6%
Intel/AMD/... X86	5,0%
Intel i660	3,7%
IBM/Motorola PPC	2,0%
AMD 29K	0,7%
Sonstige	0,9%

Micro-Controller Markanteile 1999

([wysiwig://66/http://internet.about.com/cs/micrcontrollers](http://www.wysiwig.com/66/http://internet.about.com/cs/micrcontrollers))

	Umsatz 10 ⁹ \$	Anteil %	Wachst.98-99 %
Motorola	2.54	18.0	25,1
Texas Instruments	2.47	17,5	35,0
Hitachi	1.28	9,1	- 3,8
Lucent	1.16	8,2	18,4
NEC	1.16	8,2	12,6
Mitsubishi	1.00	7,0	25,0
Intel	0,86	6,1	8,9
Philips	0,51	3,6	- 7,3





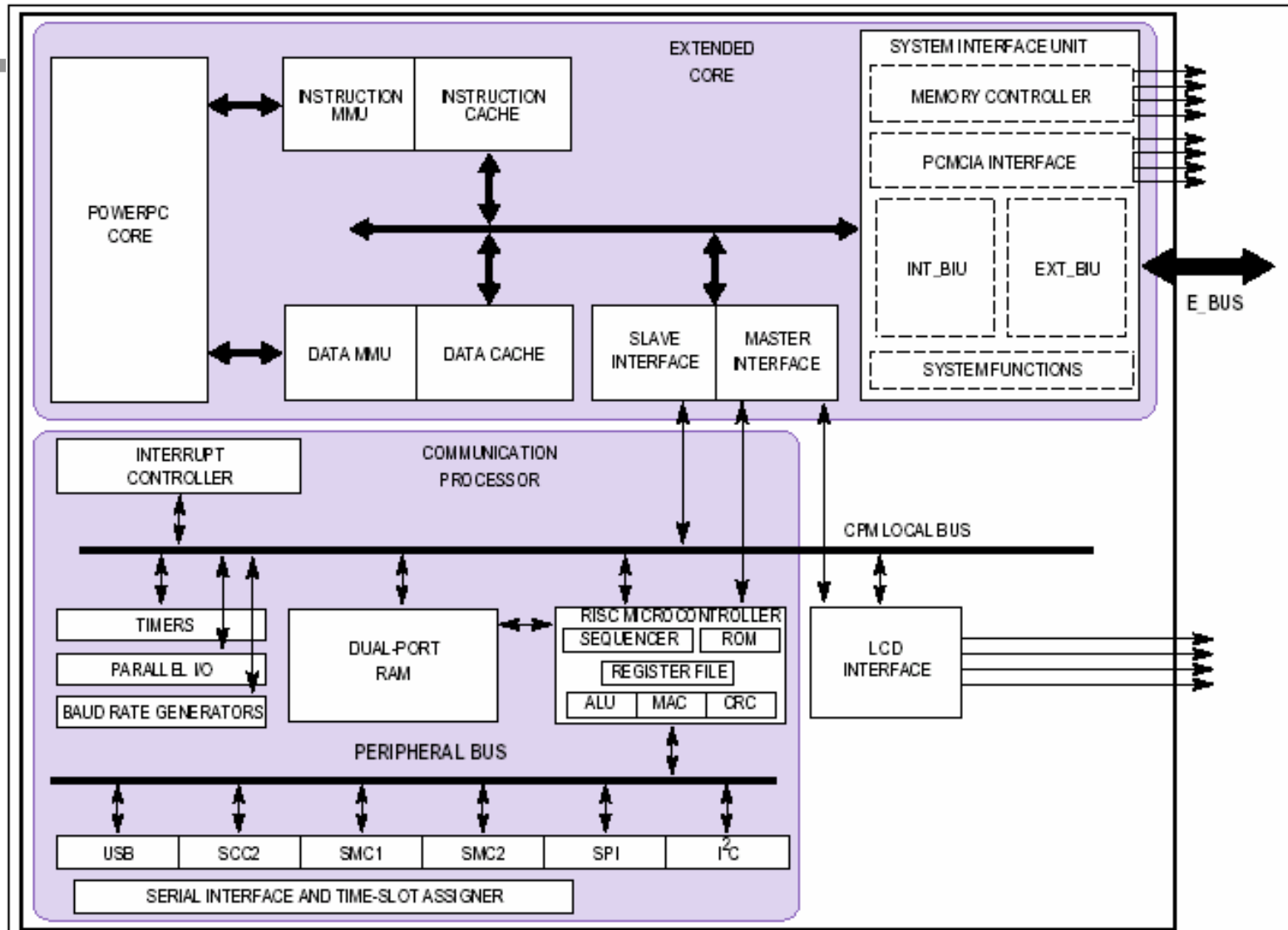
1. PORT A PINS INCORPORATE OPEN DRAIN PULL DOWN DRIVERS

338376 BLOCK

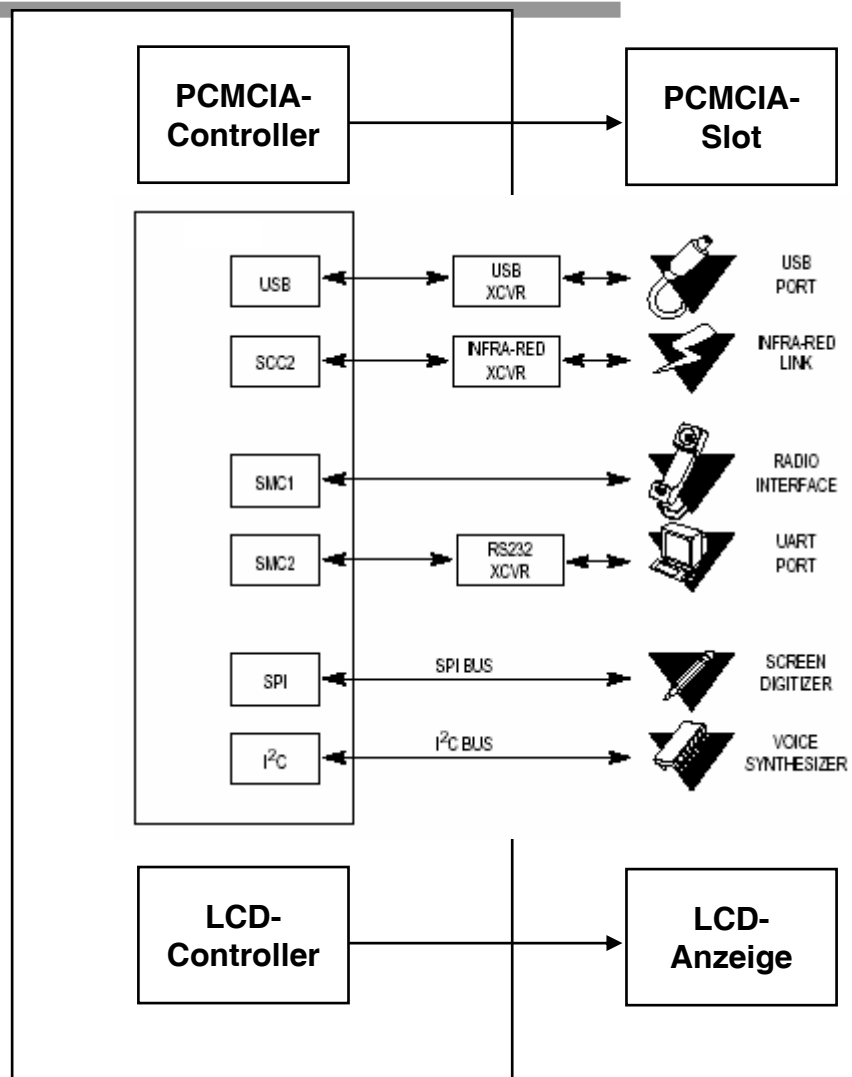
Blockschaltbild: MC 68376

IMB: Inter Module Bus
CTM: Config. Timer Module
QSM: Queued Serial Module
TPU: Time Processing Module
QADC: Queued ADC
EBI: Extended Bus Interface
TouCAN: CAN-Bus 2.0
MRM: Masked ROM Module

Power PC 823 embedded controller

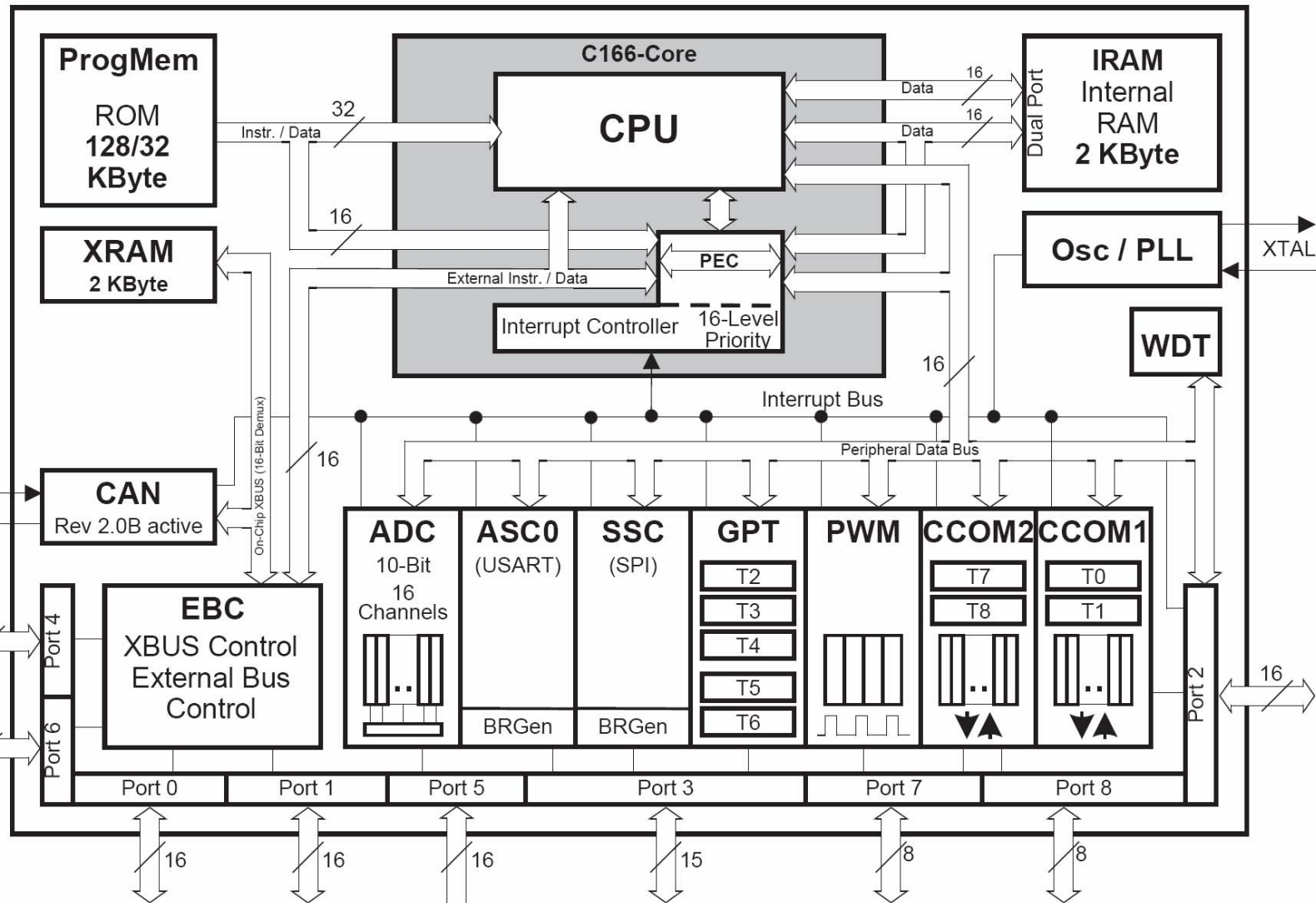


Beispiel für einen PDA



Infinion CR167





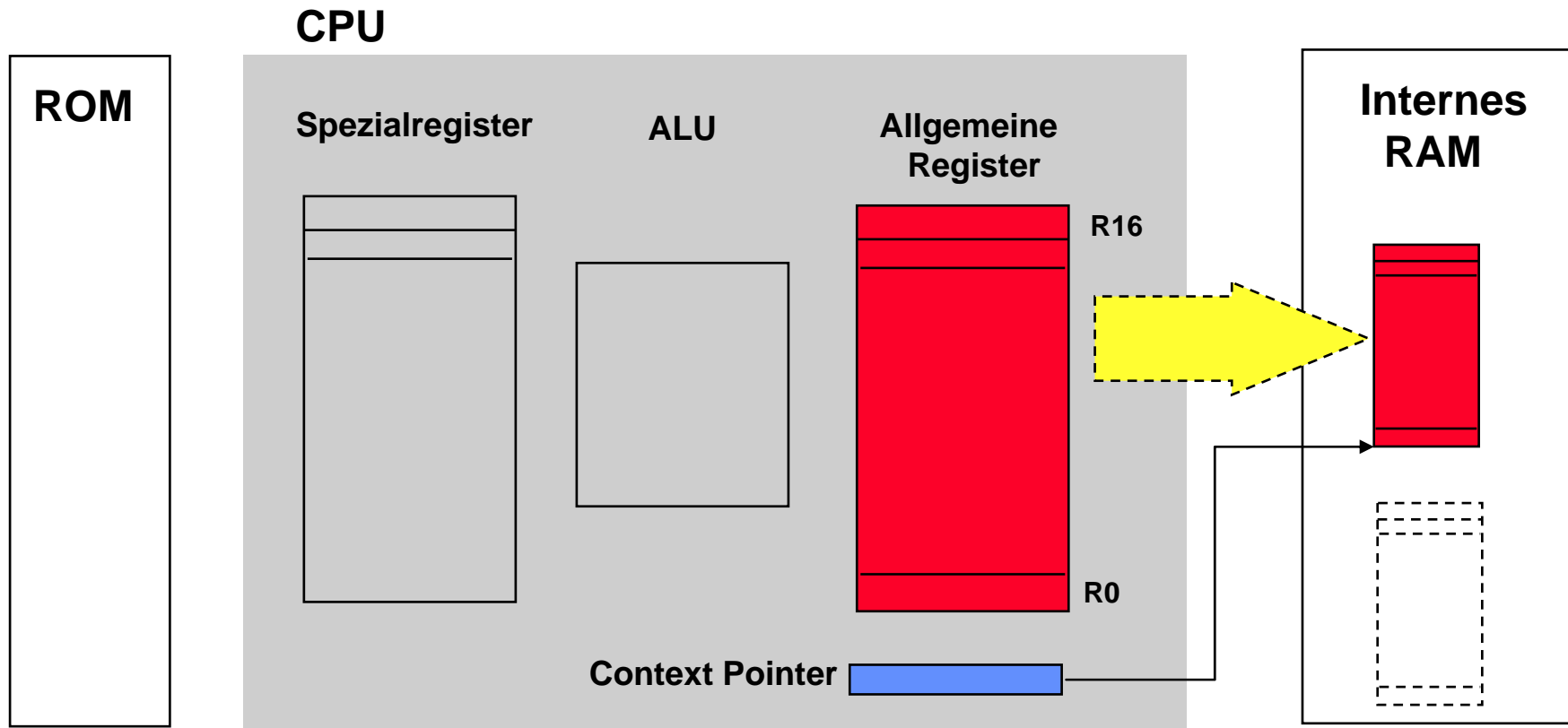
Infineon CR167



Organisation des interne RAM

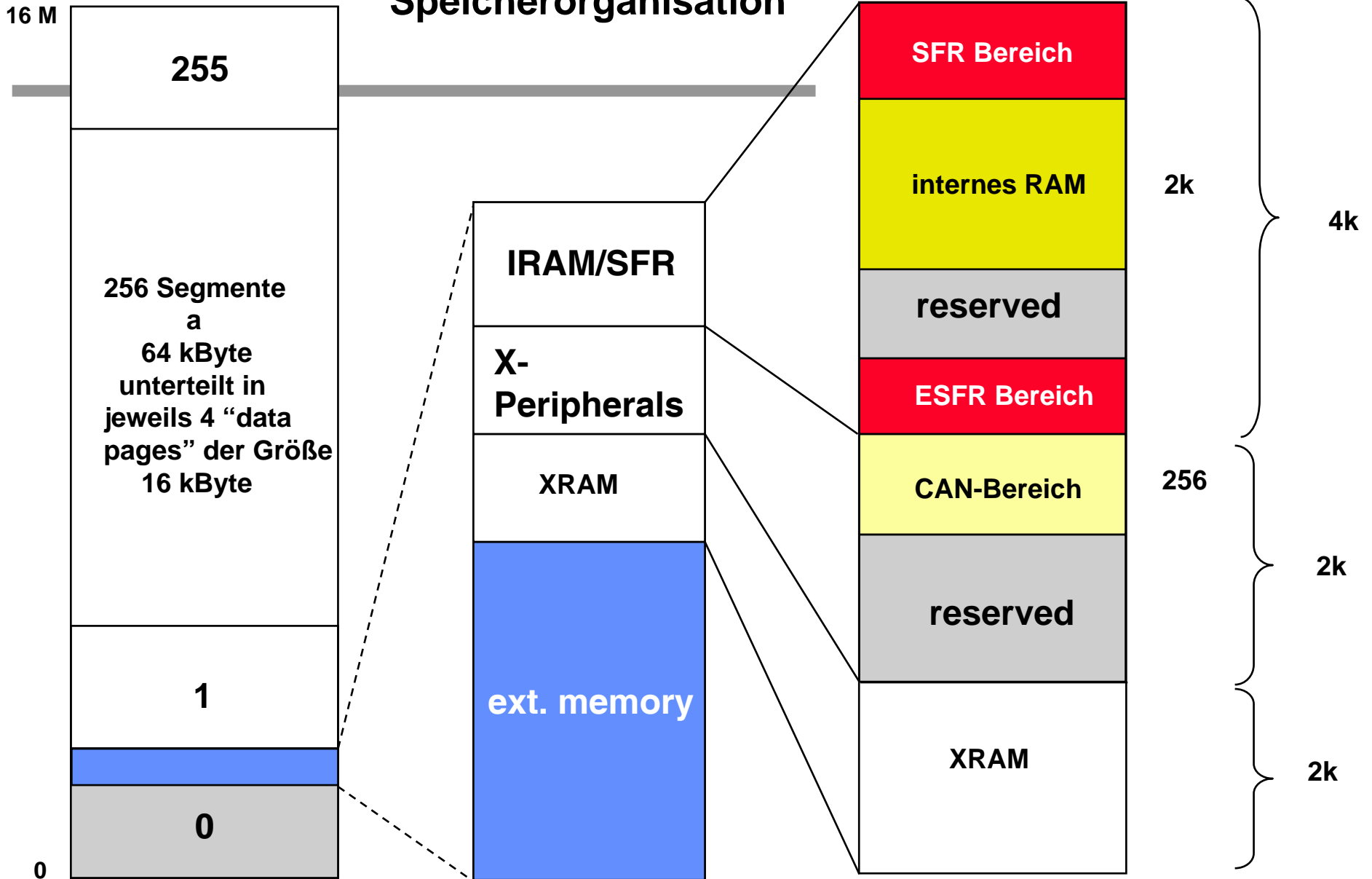


Blockdiagramm der CPU C166/167



(Context Switch 100ns)

Speicherorganisation



Interner RAM Bereich und Bereich für die Special Functional Registers (SFRs)

Internes RAM wird genutzt:

- für **System Stack**
- für **allgemeine Register (mehrere Bänke)**
- für den **PEC (Peripheral Event Controller)**
- als **RAM**

SFRs:

kontrollieren die gesamten on-chip Spezialfunktionen wie:

- **Ein-Ausgabe,**
- **A/D-Wandler,**
- **Kommunikation (CAN)**
- **Timer**



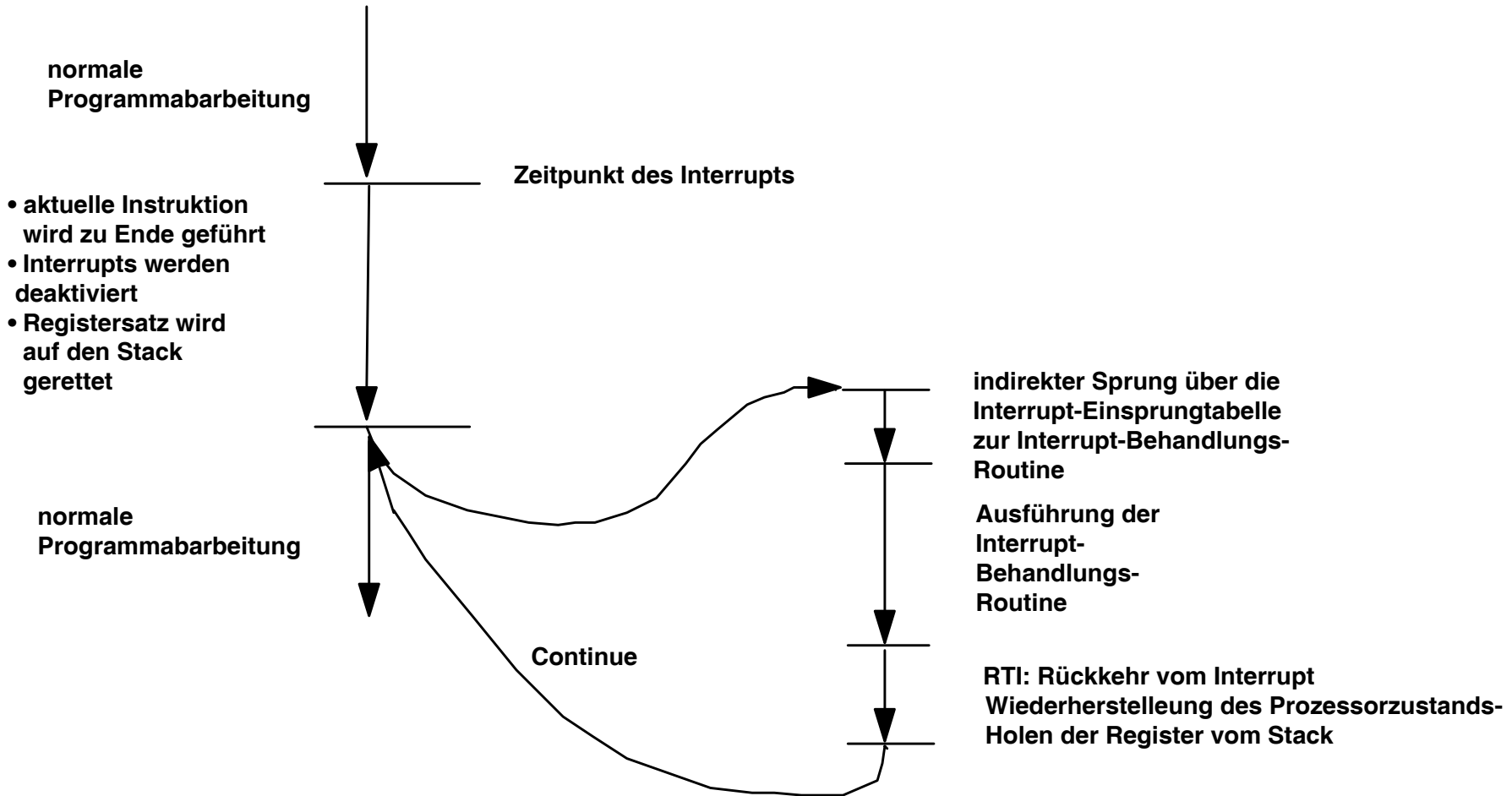
Interruptverarbeitung

- **Reaktion auf externe Ereignisse**
- **Reaktion auf interne Funktionseinheiten, z.B.**
 - **ADC**
 - **Timer**
 - **Kommunikationseinheiten**

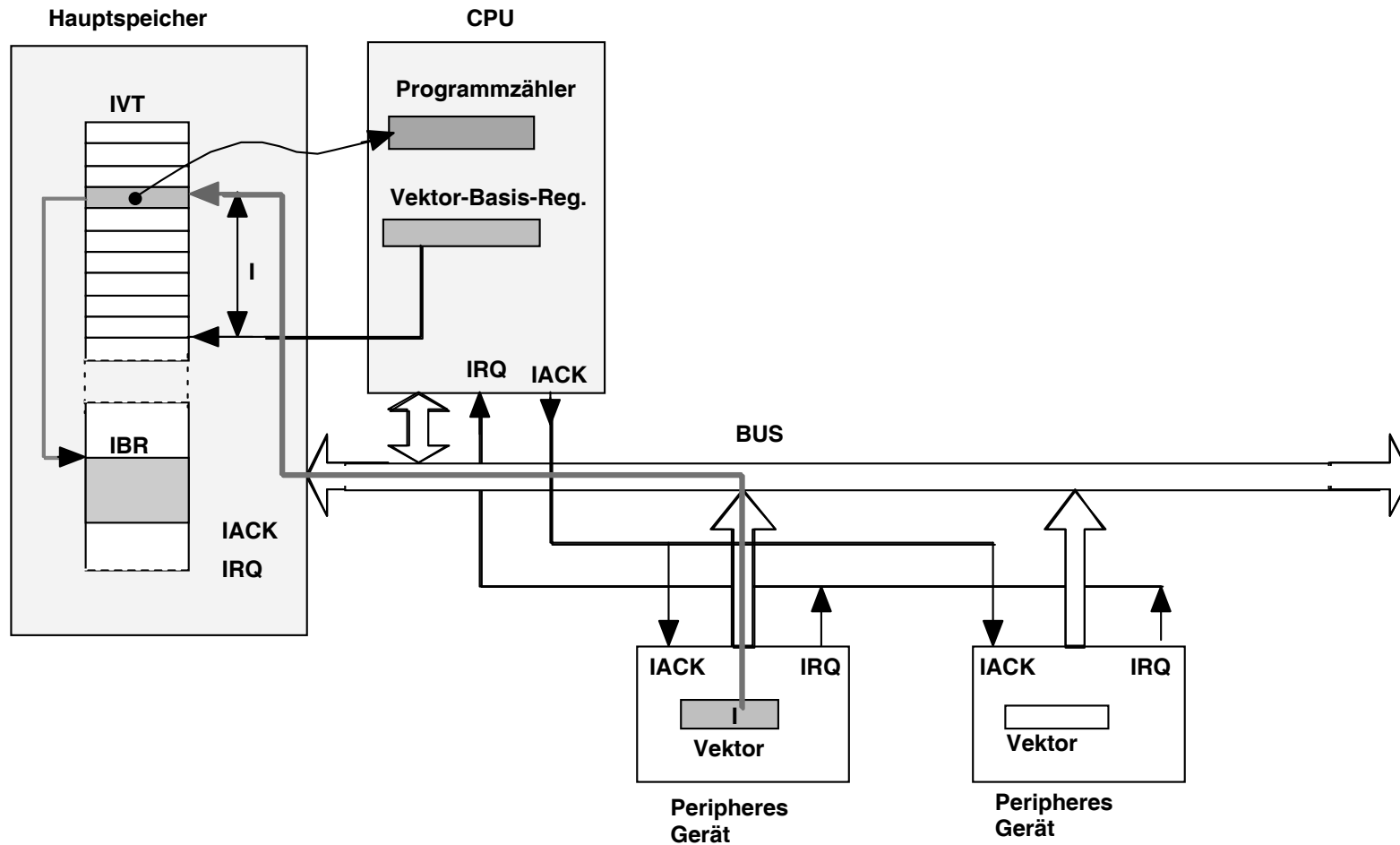
**Ziele: Nebenläufige Bearbeitung verschiedener Vorgänge
Minimale Beanspruchung der CPU**



Abarbeitung eines Interrupts



Vektorisierte Unterbrechungsbearbeitung



Interrupt und Trap Funktionen im C167

Normale Interrupt-Verarbeitung

- Interrupts von On-Chip Komponenten

Interrupt Verarbeitung über den PEC (Peripheral Event Controller)

- Minimale Interferenz mit der CPU (nur 1 Befehlszyklus)
- Kein Abspeichern des CPU-Status notwendig

Trap - Funktionen

- Software Traps
- Hardware Traps ausgelöst durch Befehlesausführung (z.B. illegal Opcode, Overflow, etc.)

Externe Interrupts

- Capture Input / Compare Output Leitungen
- Timer Input
- Fast External Interrupts (werden alle 50 ns gesampled, normal 400 ns bei einer 20 MHz Taktrate)



Source of Interrupt or PEC Service Request	Request Flag	Enable Flag	Interrupt Vector	Vector Location	Trap Number
CAPCOM Register 0	CC0IR	CC0IE	CC0INT	00'0040 _H	10 _H / 16 _D
CAPCOM Register 1	CC1IR	CC1IE	CC1INT	00'0044 _H	11 _H / 17 _D
CAPCOM Register 2	CC2IR	CC2IE	CC2INT	00'0048 _H	12 _H / 18 _D
CAPCOM Register 3	CC3IR	CC3IE	CC3INT	00'004C _H	13 _H / 19 _D
CAPCOM Register 4	CC4IR	CC4IE	CC4INT	00'0050 _H	14 _H / 20 _D
CAPCOM Register 5	CC5IR	CC5IE	CC5INT	00'0054 _H	15 _H / 21 _D
CAPCOM Register 6	CC6IR	CC6IE	CC6INT	00'0058 _H	16 _H / 22 _D
CAPCOM Register 7	CC7IR	CC7IE	CC7INT	00'005C _H	17 _H / 23 _D
CAPCOM Register 8	CC8IR	CC8IE	CC8INT	00'0060 _H	18 _H / 24 _D
CAPCOM Register 9	CC9IR	CC9IE	CC9INT	00'0064 _H	19 _H / 25 _D
CAPCOM Register 10	CC10IR	CC10IE	CC10INT	00'0068 _H	1A _H / 26 _D
CAPCOM Register 11	CC11IR	CC11IE	CC11INT	00'006C _H	1B _H / 27 _D
CAPCOM Register 12	CC12IR	CC12IE	CC12INT	00'0070 _H	1C _H / 28 _D
CAPCOM Register 13	CC13IR	CC13IE	CC13INT	00'0074 _H	1D _H / 29 _D
CAPCOM Register 14	CC14IR	CC14IE	CC14INT	00'0078 _H	1E _H / 30 _D
CAPCOM Register 15	CC15IR	CC15IE	CC15INT	00'007C _H	1F _H / 31 _D
CAPCOM Register 16	CC16IR	CC16IE	CC16INT	00'00C0 _H	30 _H / 48 _D
CAPCOM Register 17	CC17IR	CC17IE	CC17INT	00'00C4 _H	31 _H / 49 _D
CAPCOM Register 18	CC18IR	CC18IE	CC18INT	00'00C8 _H	32 _H / 50 _D
CAPCOM Register 19	CC19IR	CC19IE	CC19INT	00'00CC _H	33 _H / 51 _D
CAPCOM Register 20	CC20IR	CC20IE	CC20INT	00'00D0 _H	34 _H / 52 _D
CAPCOM Register 21	CC21IR	CC21IE	CC21INT	00'00D4 _H	35 _H / 53 _D
CAPCOM Register 22	CC22IR	CC22IE	CC22INT	00'00D8 _H	36 _H / 54 _D
CAPCOM Register 23	CC23IR	CC23IE	CC23INT	00'00DC _H	37 _H / 55 _D
CAPCOM Register 24	CC24IR	CC24IE	CC24INT	00'00E0 _H	38 _H / 56 _D
CAPCOM Register 25	CC25IR	CC25IE	CC25INT	00'00E4 _H	39 _H / 57 _D
CAPCOM Register 26	CC26IR	CC26IE	CC26INT	00'00E8 _H	3A _H / 58 _D
CAPCOM Register 27	CC27IR	CC27IE	CC27INT	00'00EC _H	3B _H / 59 _D
CAPCOM Register 28	CC28IR	CC28IE	CC28INT	00'00F0 _H	3C _H / 60 _D
CAPCOM Register 29	CC29IR	CC29IE	CC29INT	00'0110 _H	44 _H / 68 _D
CAPCOM Register 30	CC30IR	CC30IE	CC30INT	00'0114 _H	45 _H / 69 _D
CAPCOM Register 31	CC31IR	CC31IE	CC31INT	00'0118 _H	46 _H / 70 _D

Source of Interrupt or PEC Service Request	Request Flag	Enable Flag	Interrupt Vector	Vector Location	Trap Number
CAPCOM Timer 0	T0IR	T0IE	T0INT	00'0080 _H	20 _H / 32 _D
CAPCOM Timer 1	T1IR	T1IE	T1INT	00'0084 _H	21 _H / 33 _D
CAPCOM Timer 7	T7IR	T7IE	T7INT	00'00F4 _H	3D _H / 61 _D
CAPCOM Timer 8	T8IR	T8IE	T8INT	00'00F8 _H	3E _H / 62 _D
GPT1 Timer 2	T2IR	T2IE	T2INT	00'0088 _H	22 _H / 34 _D
GPT1 Timer 3	T3IR	T3IE	T3INT	00'008C _H	23 _H / 35 _D
GPT1 Timer 4	T4IR	T4IE	T4INT	00'0090 _H	24 _H / 36 _D
GPT2 Timer 5	T5IR	T5IE	T5INT	00'0094 _H	25 _H / 37 _D
GPT2 Timer 6	T6IR	T6IE	T6INT	00'0098 _H	26 _H / 38 _D
GPT2 CAPREL Register	CRIR	CRIE	CRINT	00'009C _H	27 _H / 39 _D
A/D Conversion Complete	ADCIR	ADCIE	ADCINT	00'00A0 _H	28 _H / 40 _D
A/D Overrun Error	ADEIR	ADEIE	ADEINT	00'00A4 _H	29 _H / 41 _D
ASC0 Transmit	S0TIR	S0TIE	S0TINT	00'00A8 _H	2A _H / 42 _D
ASC0 Transmit Buffer	S0TBIR	S0TBIE	S0TBINT	00'011C _H	47 _H / 71 _D
ASC0 Receive	S0RIR	S0RIE	S0RINT	00'00AC _H	2B _H / 43 _D
ASC0 Error	S0EIR	S0EIE	S0EINT	00'00B0 _H	2C _H / 44 _D
SSC Transmit	SSCTIR	SSCTIE	SSCTINT	00'00B4 _H	2D _H / 45 _D
SSC Receive	SSCRIR	SSCRIE	SSCRINT	00'00B8 _H	2E _H / 46 _D
SSC Error	SSCEIR	SSCEIE	SSCEINT	00'00BC _H	2F _H / 47 _D
PWM Channel 0...3	PWMIR	PWMIE	PWMINT	00'00FC _H	3F _H / 63 _D
CAN Interface	XP0IR	XP0IE	XP0INT	00'0100 _H	40 _H / 64 _D
X-Peripheral Node 1	XP1IR	XP1IE	XP1INT	00'0104 _H	41 _H / 65 _D
X-Peripheral Node 2	XP2IR	XP2IE	XP2INT	00'0108 _H	42 _H / 66 _D
PLL Unlock	XP3IR	XP3IE	XP3INT	00'010C _H	43 _H / 67 _D

Note: Each entry of the interrupt vector table provides room for two word instructions or one doubleword instruction. The respective vector location results from multiplying the trap number by 4 (4 bytes per entry).

For devices which do not incorporate a CAN Module or a PLL the respective interrupt nodes may be used for software triggered interrupts (see X-Peripheral node n).

Interrupts und Traps des C 167



Beispiel für Gruppen- und individuelle Interruptprioritäten

Priority Level		Type of Service	
ILVL	GLVL	COUNT = 00H	COUNT ≠ 00 _H
1 1 1 1	1 1	CPU interrupt, level 15, group priority 3	PEC service, channel 7
1 1 1 1	1 0	CPU interrupt, level 15, group priority 2	PEC service, channel 6
1 1 1 0	1 0	CPU interrupt, level 14, group priority 2	PEC service, channel 2
1 1 0 1	1 0	CPU interrupt, level 13, group priority 2	CPU interrupt, level 13, group priority 2
0 0 0 1	1 1	CPU interrupt, level 1, group priority 3	CPU interrupt, level 1, group priority 3
0 0 0 1	0 0	CPU interrupt, level 1, group priority 0	CPU interrupt, level 1, group priority 0
0 0 0 0	X X	No service!	No service!

Interrupt Classes

* ILVL: Interrupt Level Vector List

** GLVL: Group Level Vector List

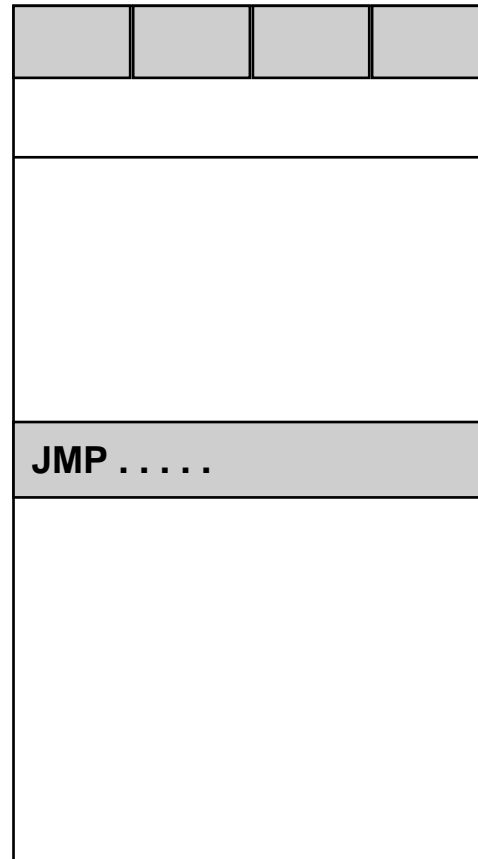
ILVL* (priority)	GLVL**				Interpretation
	11	10	01	00	
15					PEC Service on up to 8 channels
14					
13					
12	x	x	x	x	Interrupt Class 1
11	x				5 sources on 2 levels
10					
9					
8	x	x	x	x	Interrupt Class 2
7	x	x	x	x	9 sources on 3 levels
6	x				
5	x	x	x	x	Interrupt Class 3
4	x				5 sources on 2 levels
3					
2					
1					
0					no service



Fast Interrupt Handling

IVT
Interrupt Vector Table

512 Byte
128 x 4-Byte Einträge



Bei Interrupt werden ein Befehl (4 Byte) oder 2 Befehle (2 Byte) ausgeführt. Normalerweise wird ein JMP zur Behandlungsroutine ausgeführt.

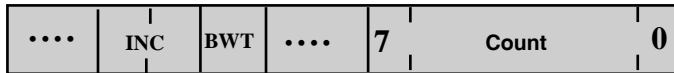
PEC: Peripheral Event Controller

- **Schnelle Alternative zur normalen Interruptverarbeitung**
- **Erlaubt den Transfer eines einzelnen Datums mit minimaler CPU-Belastung**
 - **CPU-Aktivität wird nur für einen einzigen Zyklus unterbrochen**
 - **kein interner Zustand muß gerettet werden**
 - **Prioritätsebenen 14 oder 15.**



Datentransfer mit PEC

PEC-Cntrl.-Reg



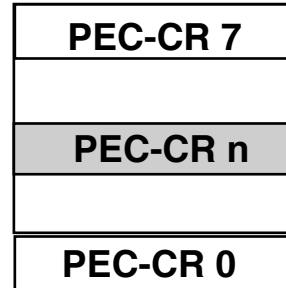
Feld:

INC kontrolliert die SRC und DST PEC-Pointer
 00: keine Modifikation
 01: Incrementiere DSTx um 1 oder 2 (Byte oder Wort)
 10: Incrementiere SRCx um 1 oder 2 (Byte oder Wort)
 11: Reserviert

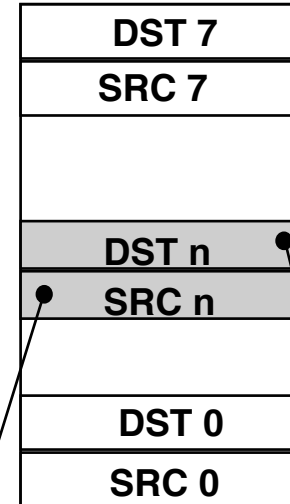
BWT: 0: Transferiere Wort
 1: Transferiere Byte

Count: Anzahl der zu transferierenden Bytes bzw. Worte

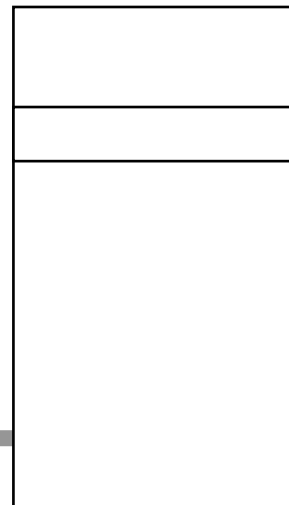
PEC-Cntrl.-Reg



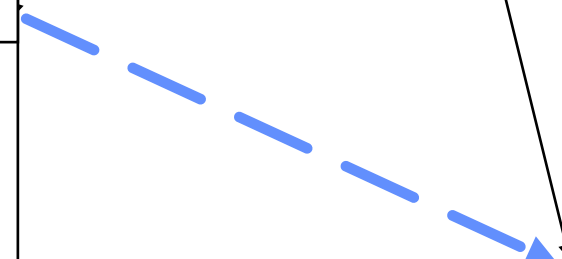
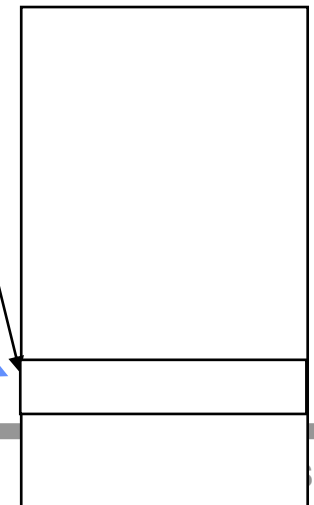
PEC-Pointer



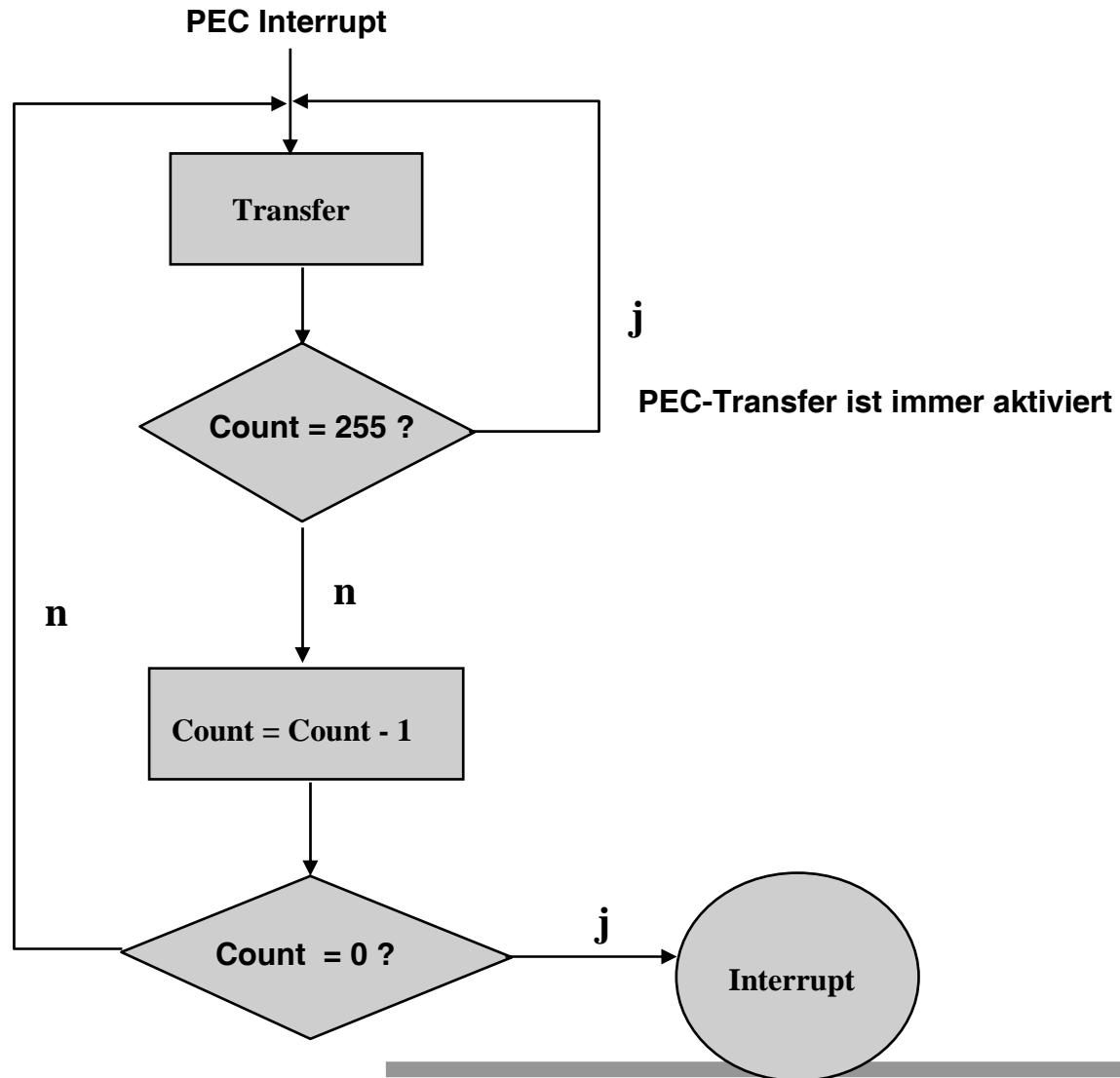
Quelladreibereich



Zieladreibereich

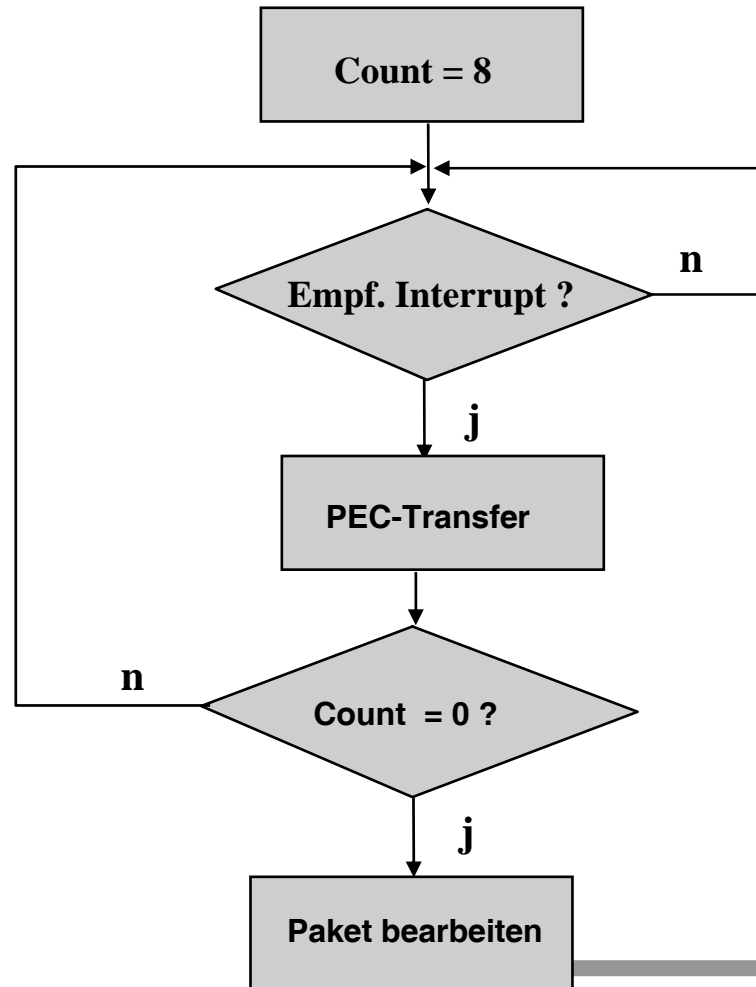
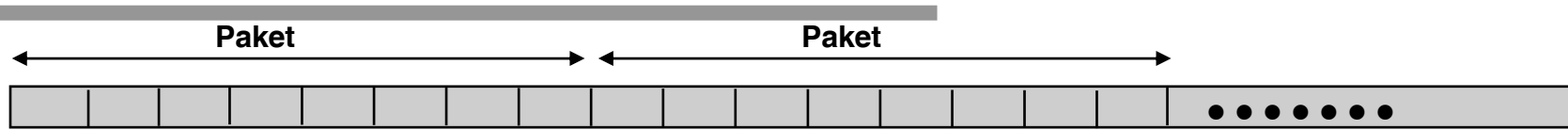


Steuerung des PEC- Datentransfers



PEC-Anwendungsbeispiel: asynchrone Kommunikation

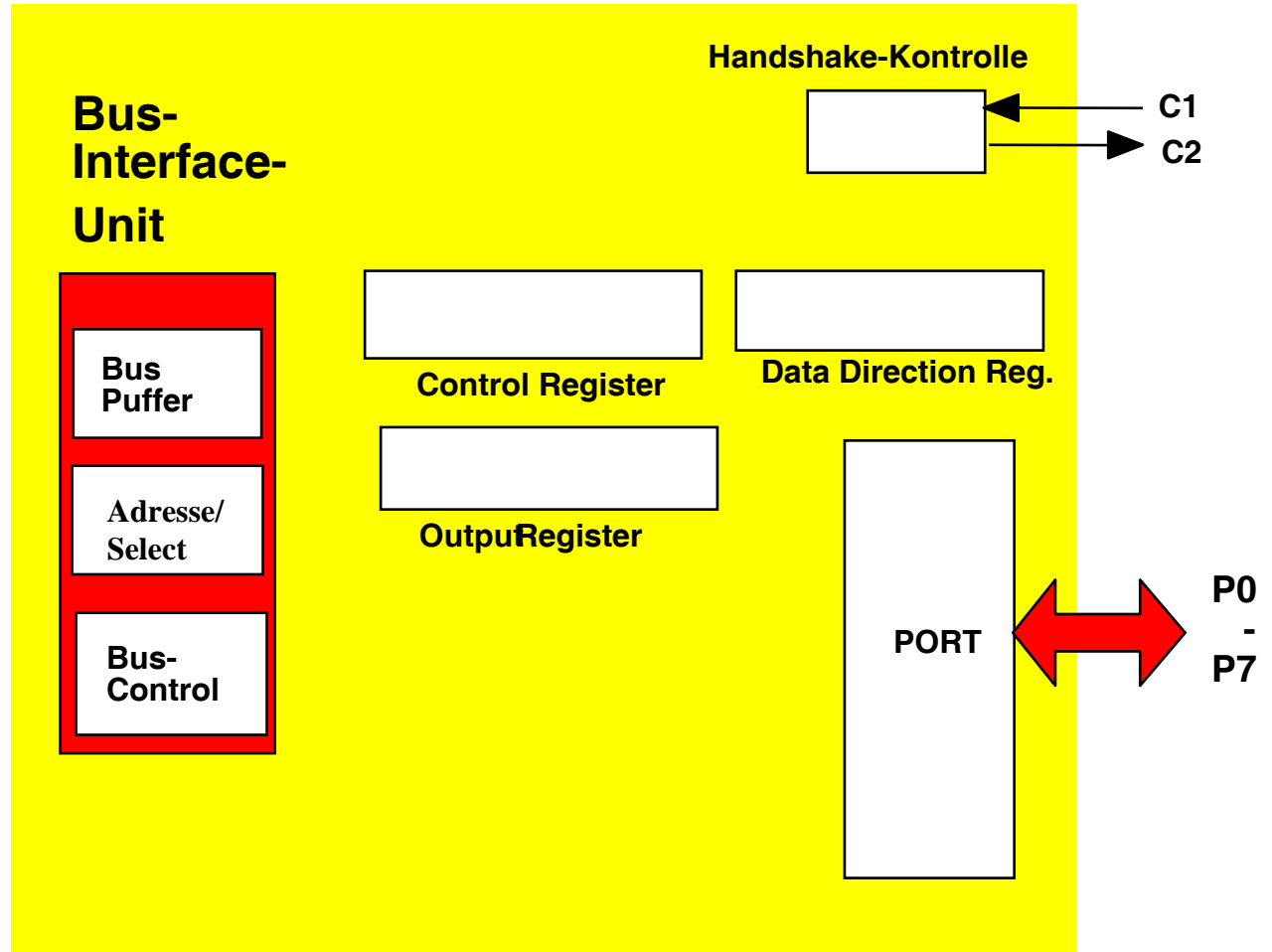
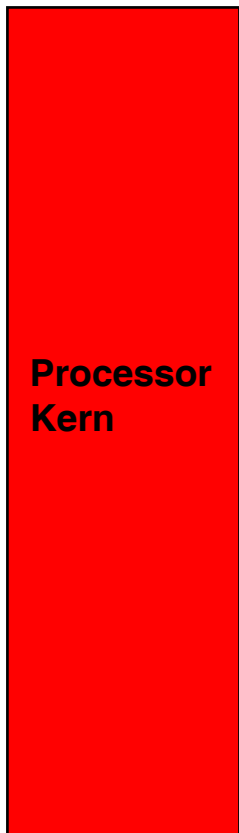
- jeweils 8 Byte-Pakete sollen empfangen werden.



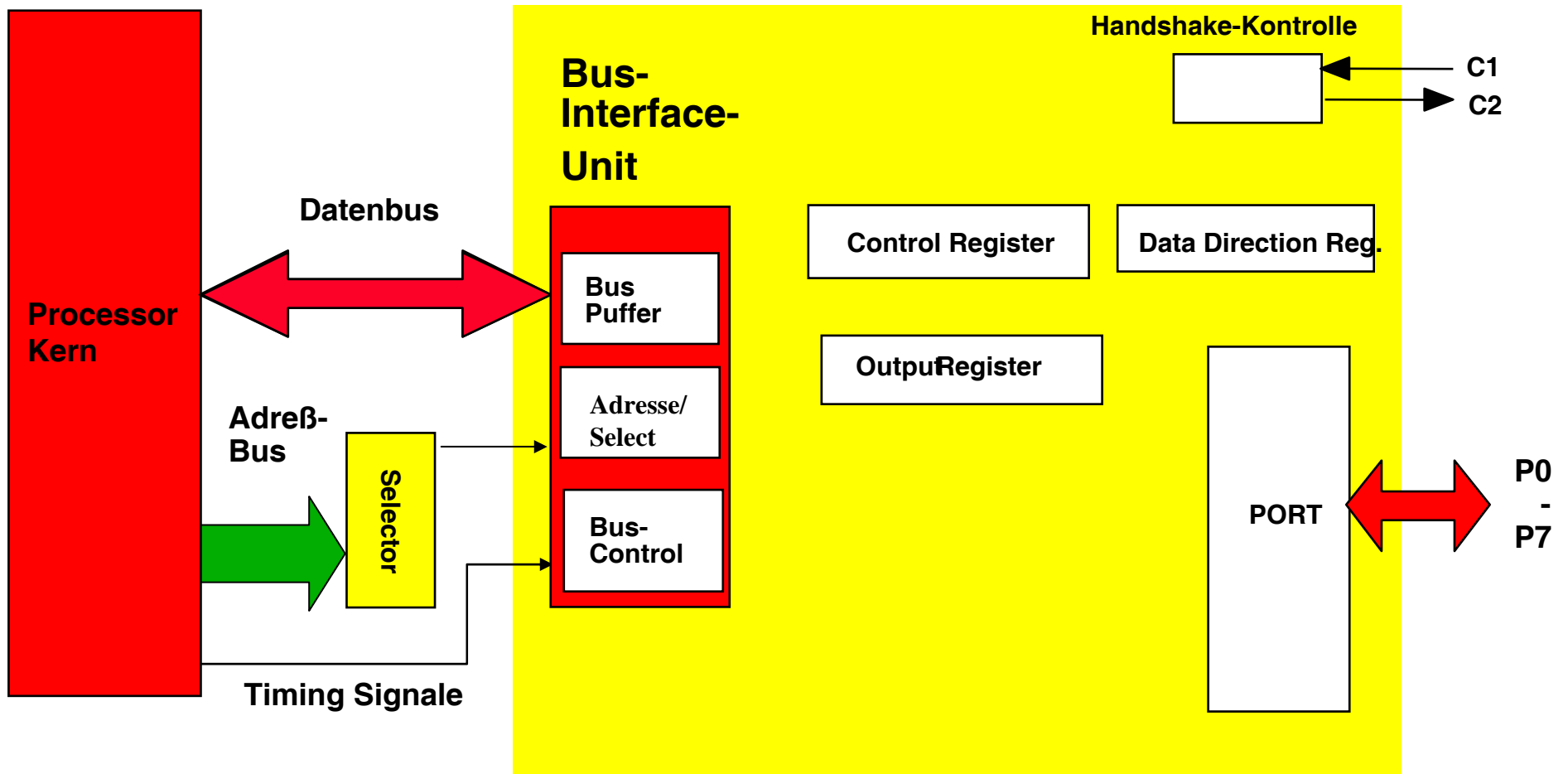
Ports, die Schnittstelle zur Peripherie

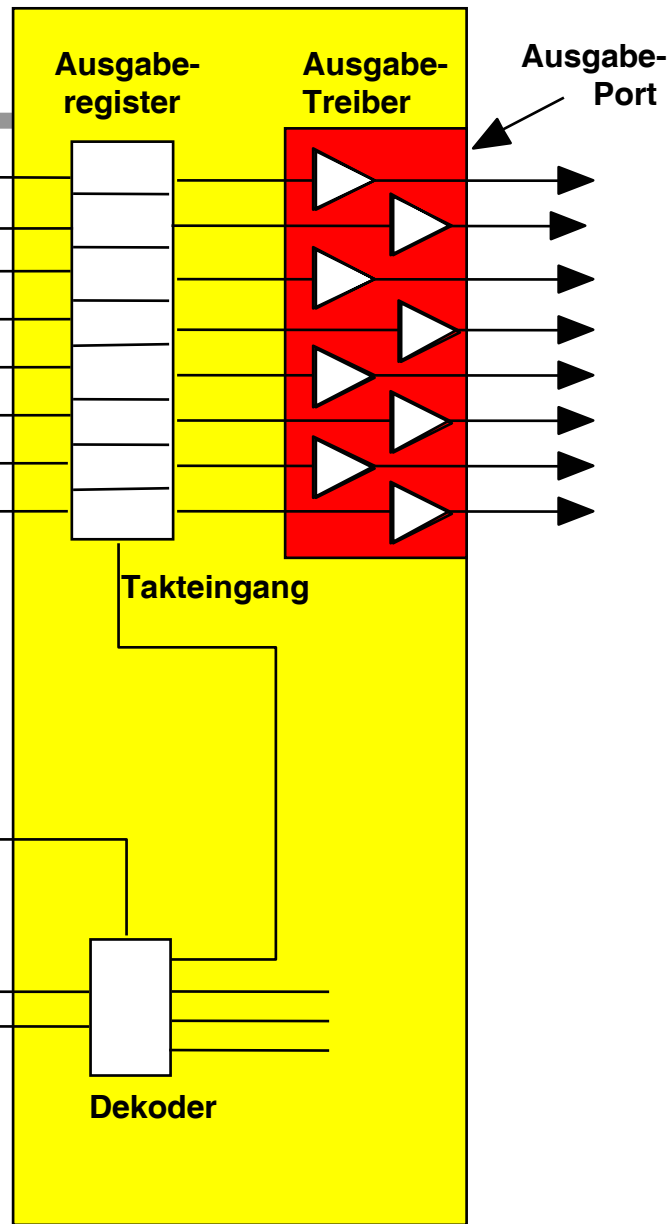
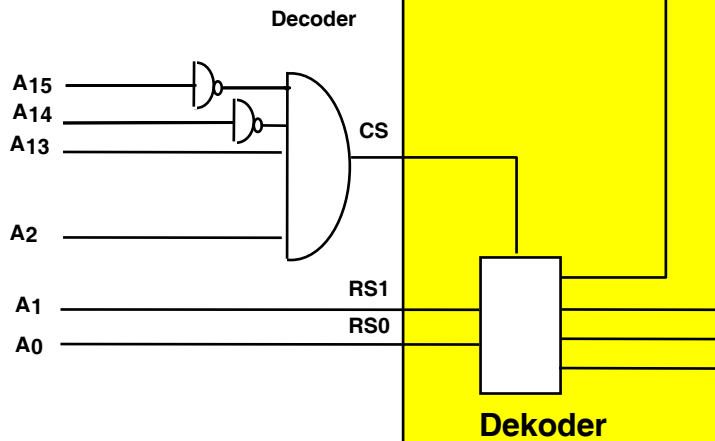
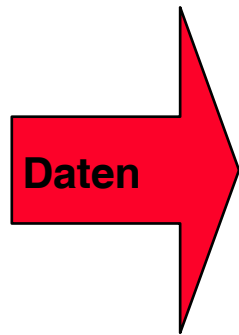


Eine Byte-parallele Geräteschnittstelle



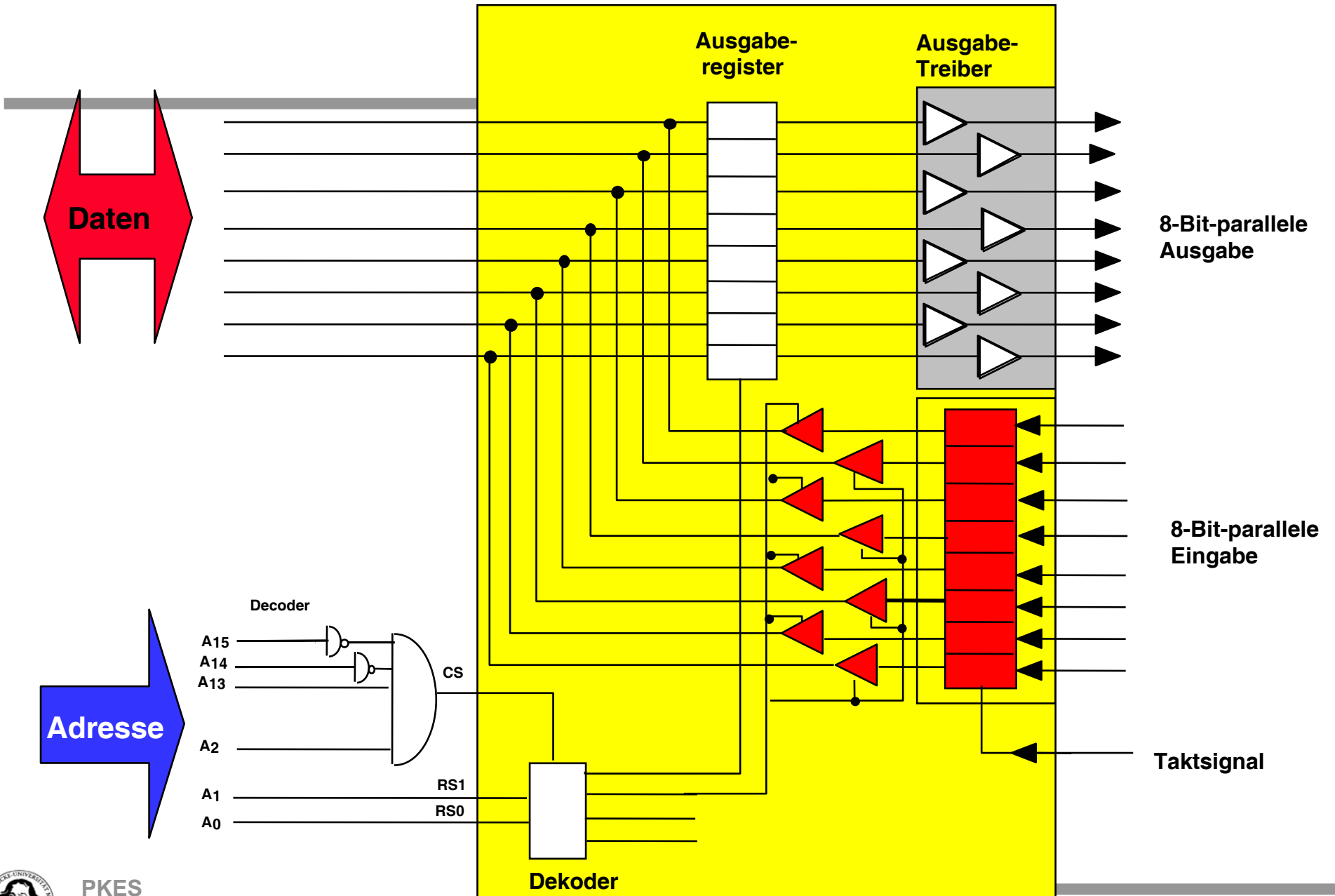
Eine Byte-parallele Geräteschnittstelle



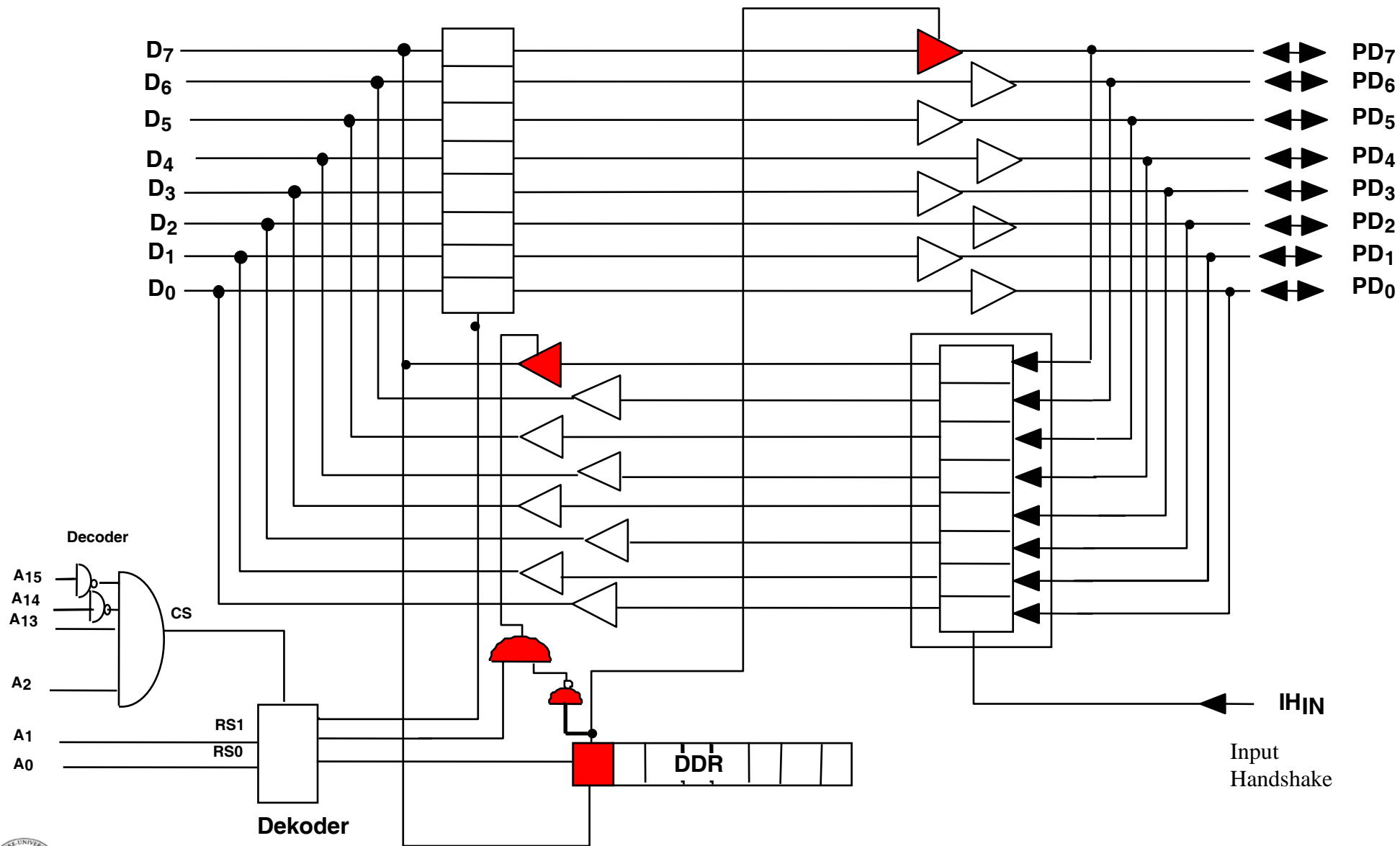


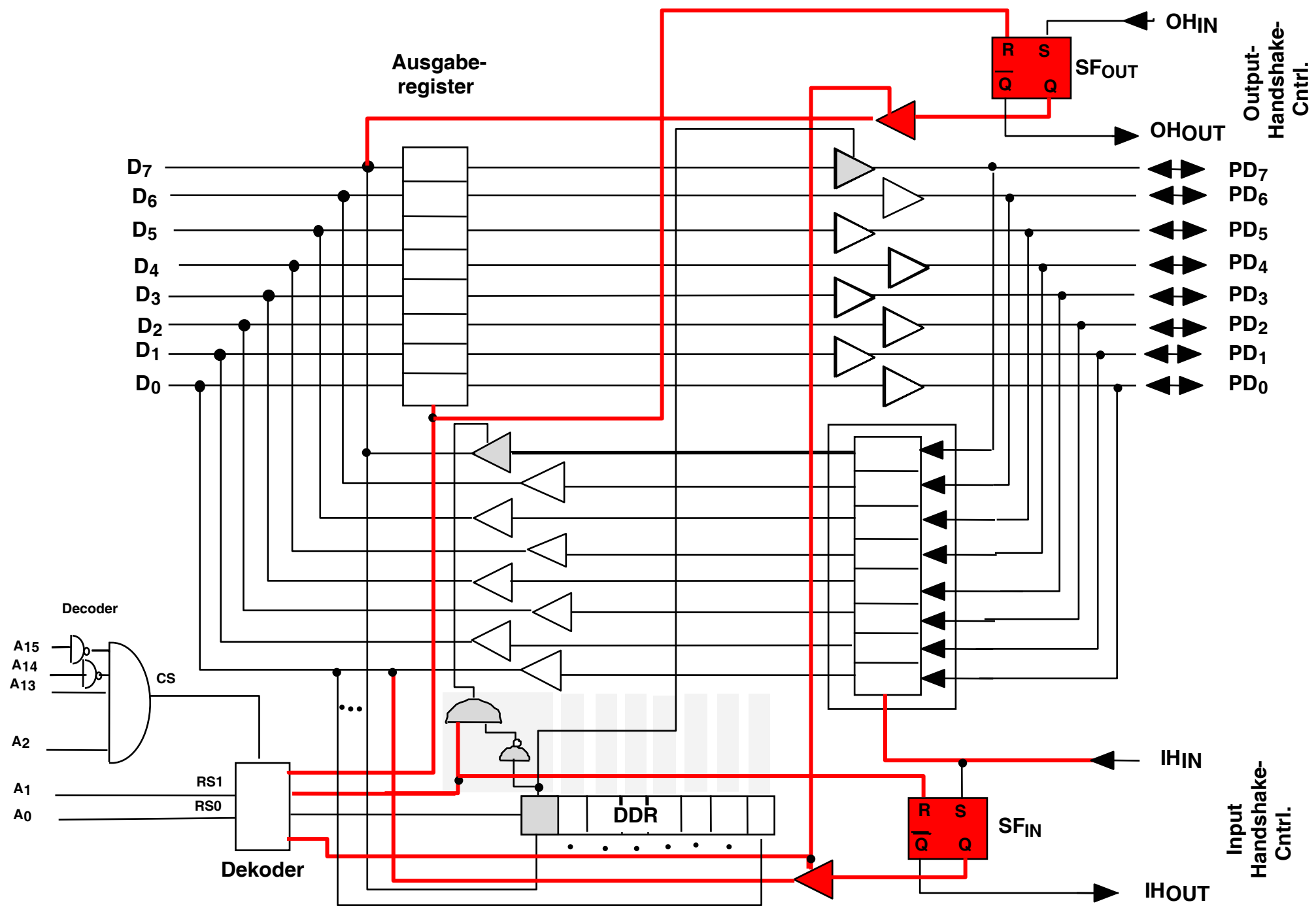
zum Gerät





Ausgabe- register





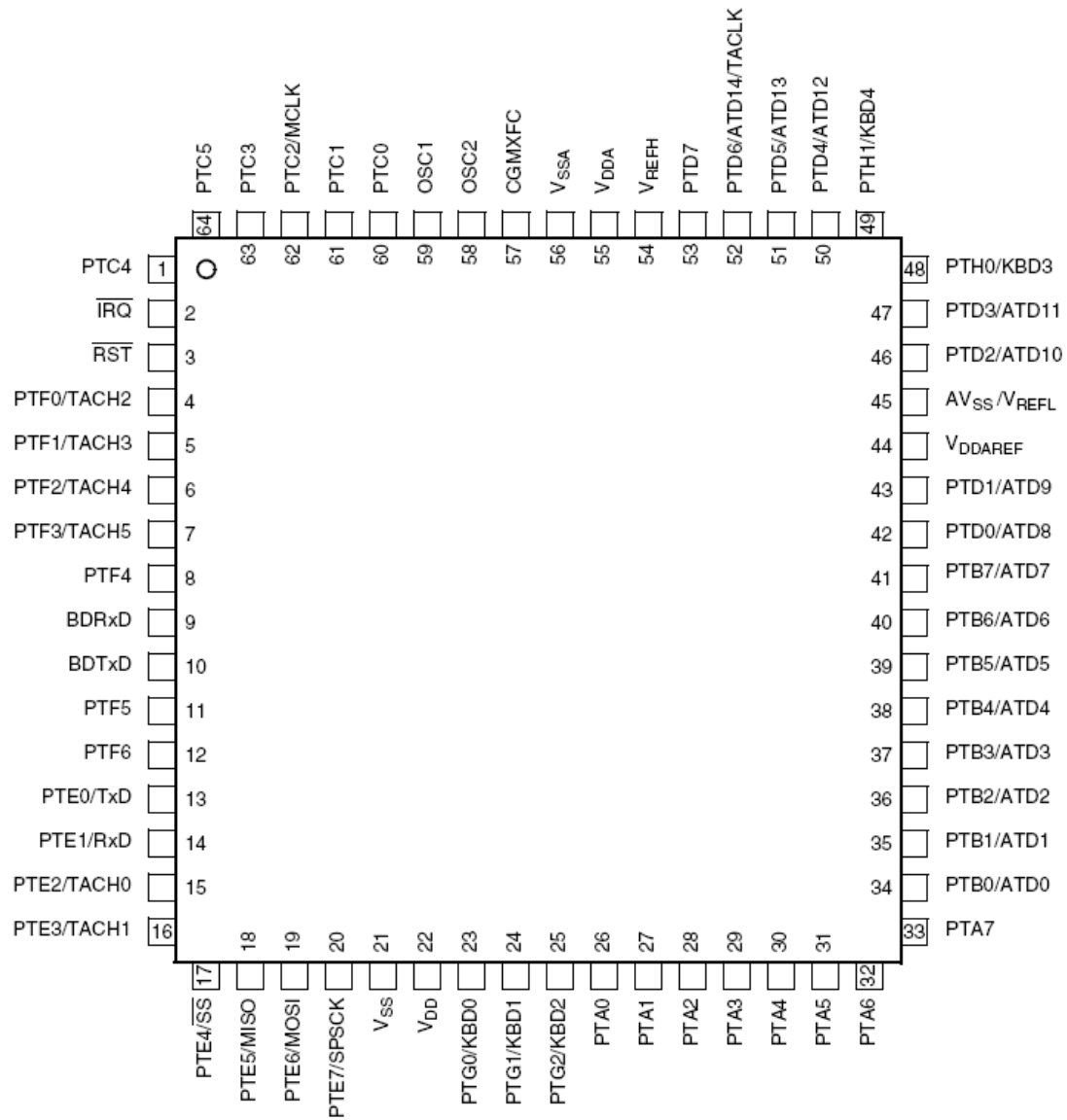


Figure 1-4. MC68HC908AS60A (64-Pin QFP)

Infineon C 167 I/O-Ports

111 I/O-Leitungen organisiert in:

- 1 16-Bit I/O-Port (Port 2)**
- 2 2x8-Bit I/O-Ports (Port 0 (P0H, P0L), Port 1 (P1H, P1L))**
- 4 8-Bit I/O-Ports (Port 4, 6, 7, 8)**
- 1 15-Bit I/O-Port (Port 3)**
- 1 16-Bit Input Port (Port 5, Analoge Eingänge)**

Ports können meist in einer Vielzahl von Modi sehr flexibel den Anforderungen angepaßt werden.

Bedeutung für Port-Pins für Port 0:

- **General Purpose I/O-Pins**
- **8-Bit Datenbus**
- **16-Bit Adreßbus**
- **8-Bit Daten-/16-Bit Adreßbus (multiplexed mode)**
- **16-Bit Daten-/16-Bit Adreßbus (multiplexed mode)**

Spezialfunktionen der übrigen Ports (Alternate Functions) :

Port 1: Capture & Compare

Port 2: Fast External Interrupt Inputs

Port 3: Timer Input & Output, Serial synch. & async. Communication Channels

Port 4: CAN TxD & RxD

Port 5: Analog In

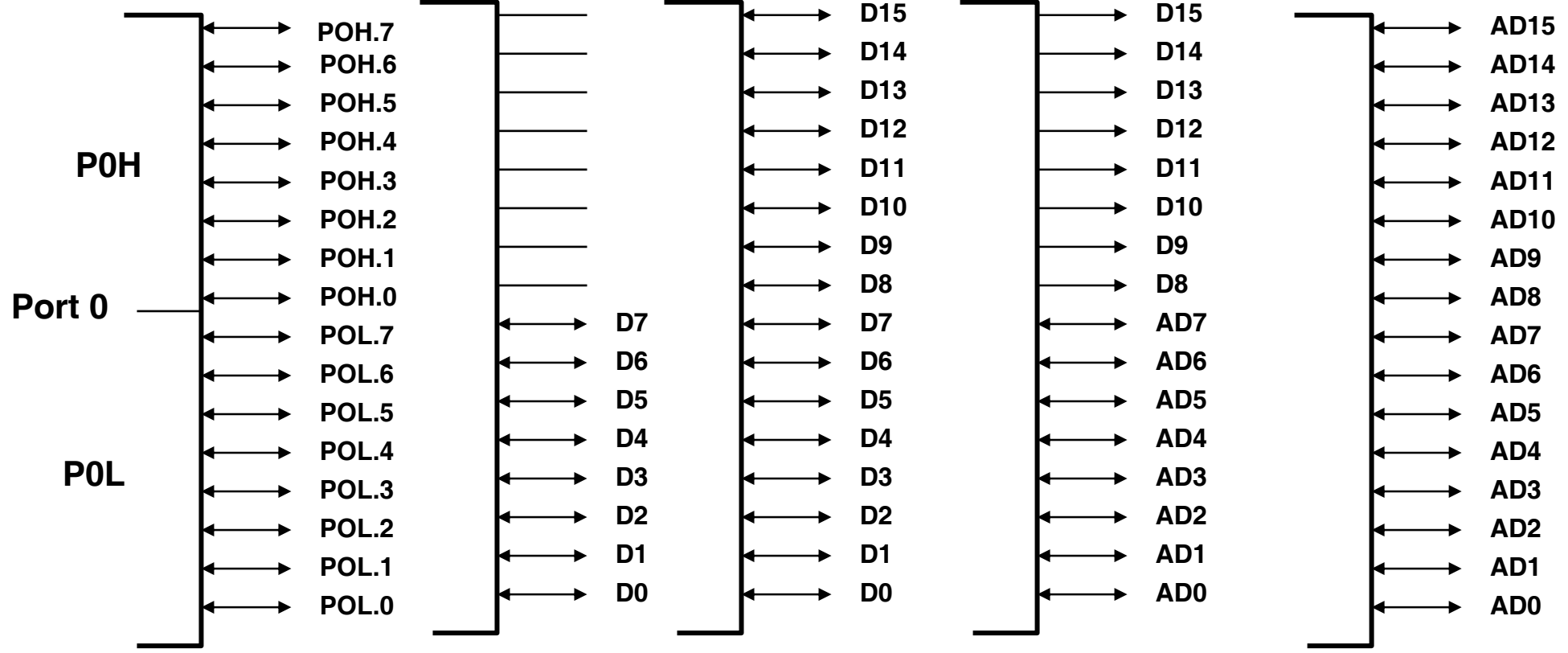
Port 6: Chip Select Lines for Memory Extensions

Port 7: PWM Channels, Capture & Compare

Port 8: Capture & Compare



Alternate Function →



general purpose I/O

non-mux Bus (8 Bit)

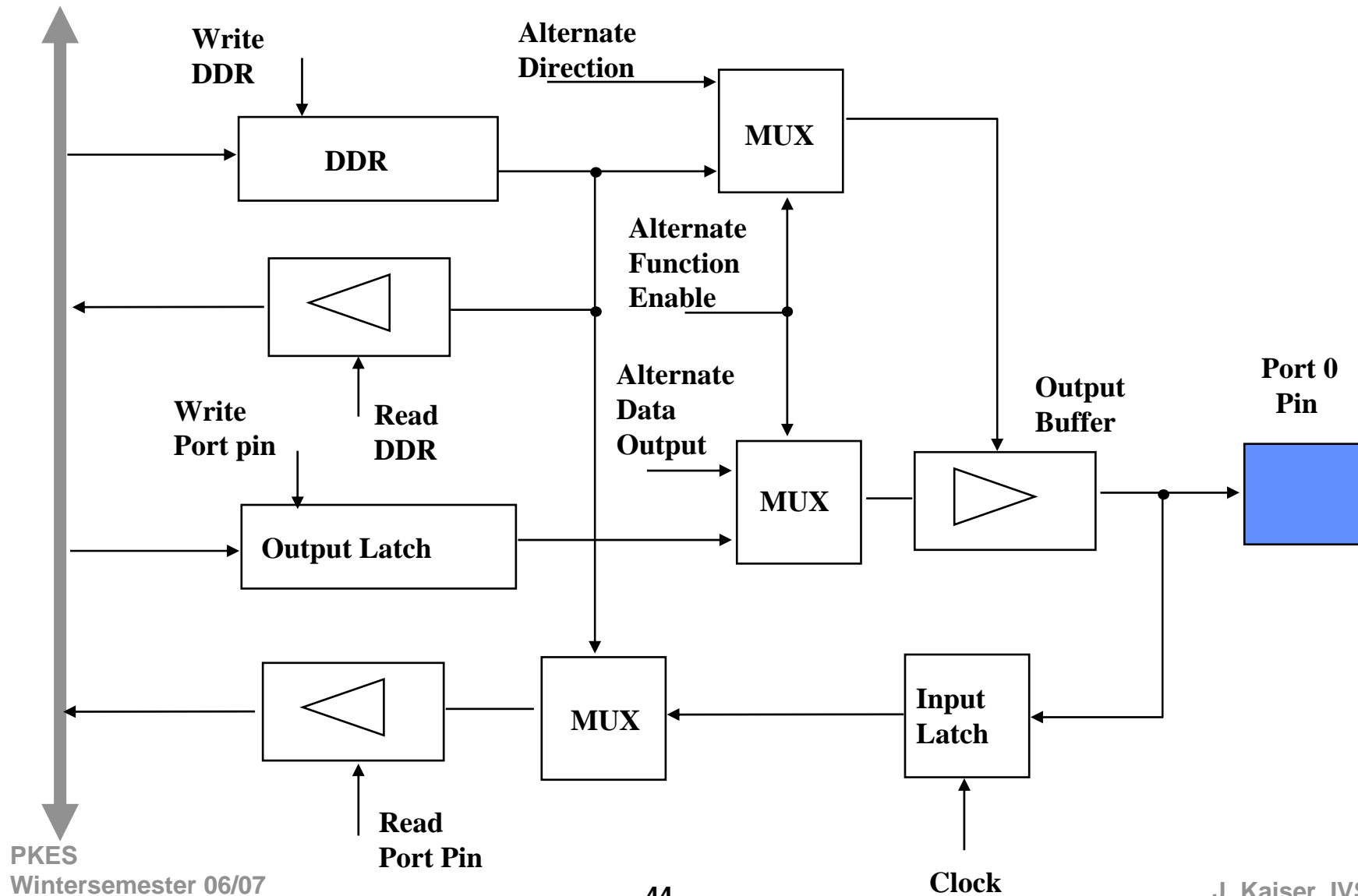
non-mux Bus (16 Bit)

mux Bus (8 Bit)

mux Bus (16 Bit)



Beispiel für die Schaltung eines Port Pins

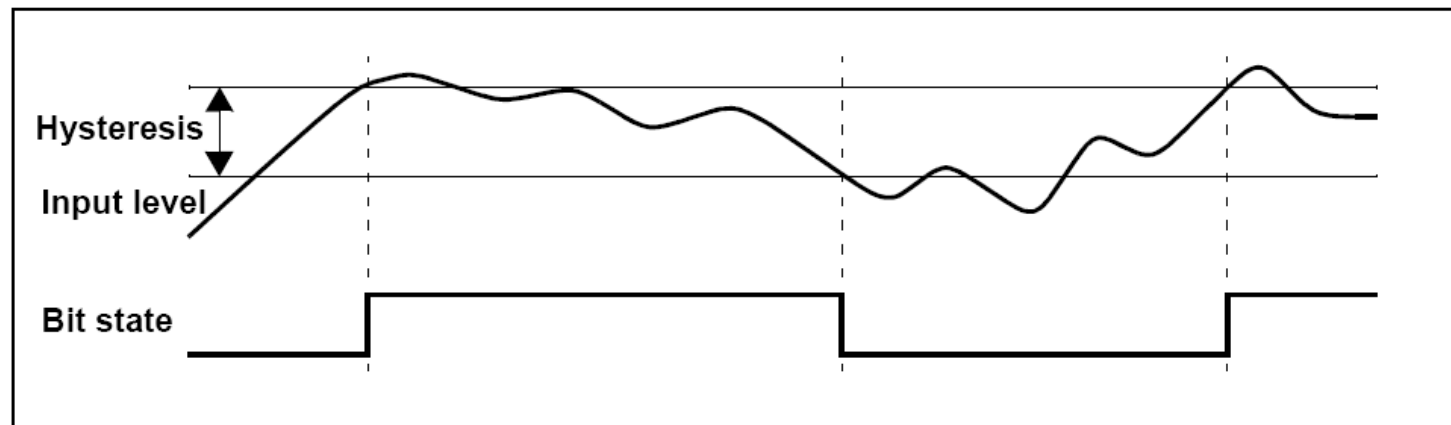


Festlegung der Eingangshysterese

Bit	Function
PxLIN	Port x Low Byte Input Level Selection 0 : Pins Px.7...Px.0 switch on standard TTL input levels 1 : Pins Px.7...Px.0 switch on special threshold input levels
PxHIN	Port x High Byte Input Level Selection 0 : Pins Px.15...Px.8 switch on standard TTL input levels 1 : Pins Px.15...Px.8 switch on special threshold input levels

All options for individual direction and output mode control are available for each pin independent from the selected input threshold.

The input hysteresis provides stable inputs from noisy or slowly changing external signals.



Bestimmung der Ausgangstreibercharakteristik

