

Einführung

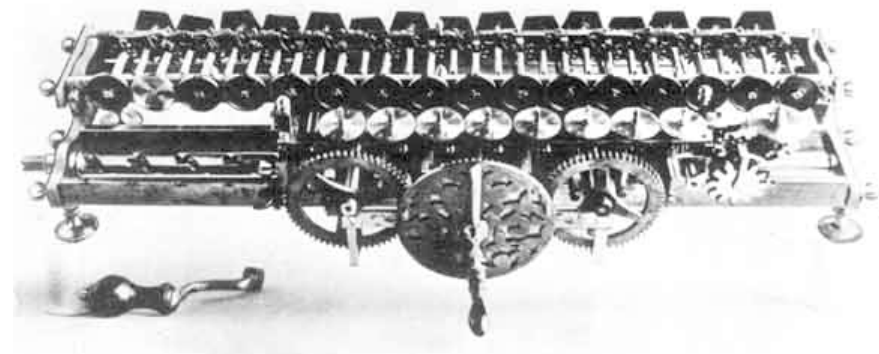
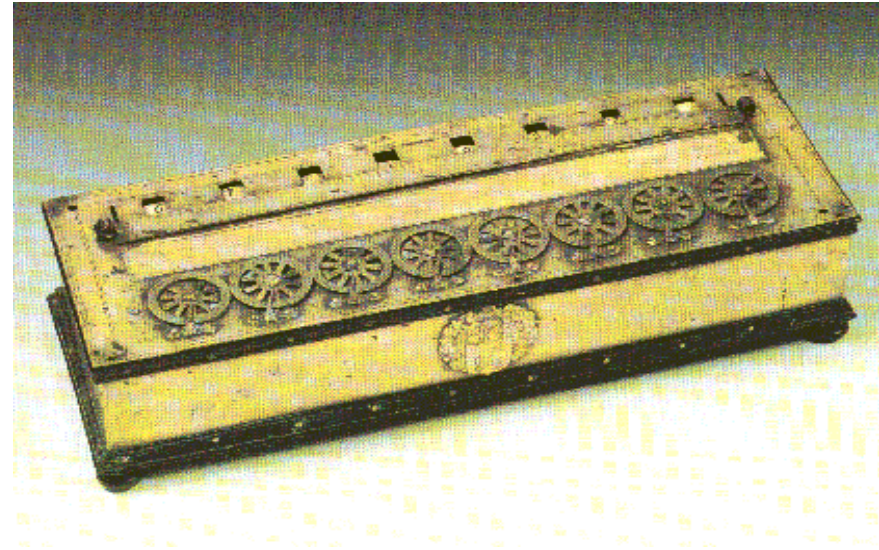
1. Vom Abakus zum PDA: Historische Entwicklung der Computer
2. Kleiner, schneller, billiger: Entwicklung der Mikroprozessoren
3. Schichtenmodell eines Computers



Historische Entwicklung

- 1642: **Pascaline**
 - entwickelt von Blaise Pascal
 - auf Zahnrädern basierend
 - **Addition** von zwei bis zu 8-stelligen Dezimalzahlen

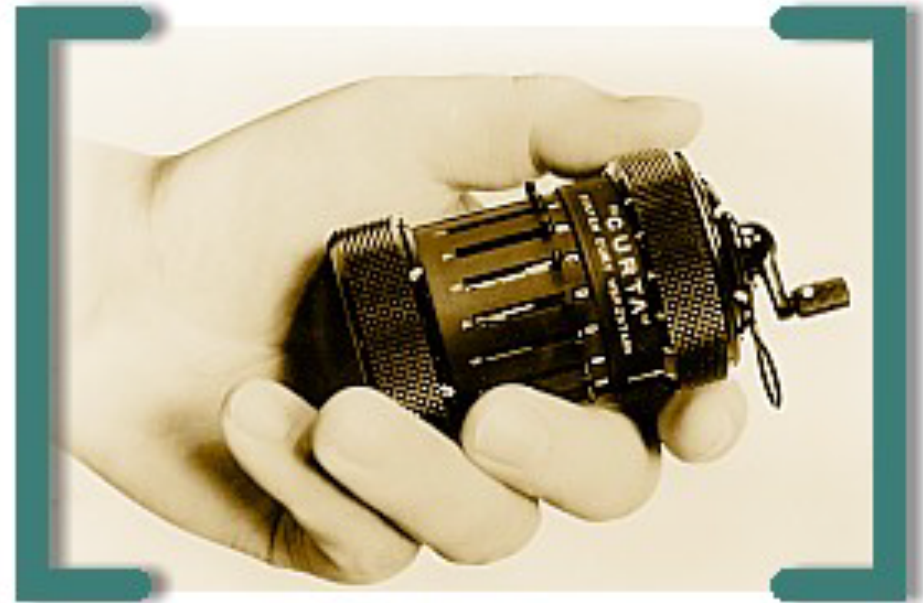
- 1673: „**Stepped Reckoner**“
 - entwickelt von G.W. Leibniz
 - neuartige Staffelwalze für **Multiplikation, Division**



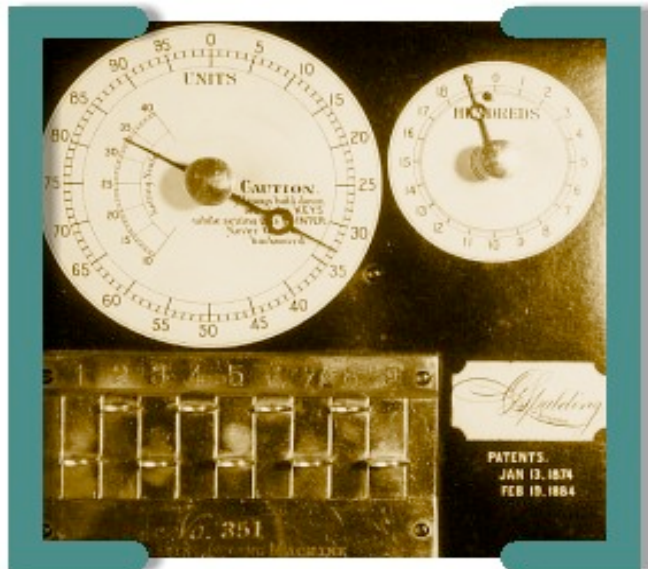
Mechanische Rechenmaschinen



**Staffelwalzenmaschine
von J.H. Müller, 1784**



**Rechenmaschine Curta
von Curt Herzstark, 1938**



**Addiermaschine
von C.G.
Spalding,
1884**



Vom "Number Cruncher" zum Universalrechner

- 1804: Lochkarte
 - entwickelt von Jacquard zur Steuerung eines Webstuhls
 - unterschiedliche Webmuster durch unterschiedlich gelochte Holzbrettchen

⇒ erstes
Read-Only Memory!

Joseph-Marie Jacquard (1752-1834).
Das Bild wurde nach einem Kupferportrait
mit Hilfe seiner Maschine gewebt.

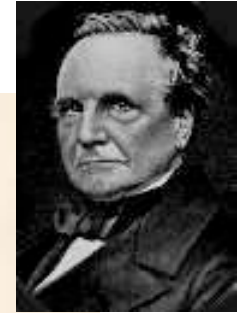


<http://www.deutsches-museum.de/ausstell/meister/web.htm>

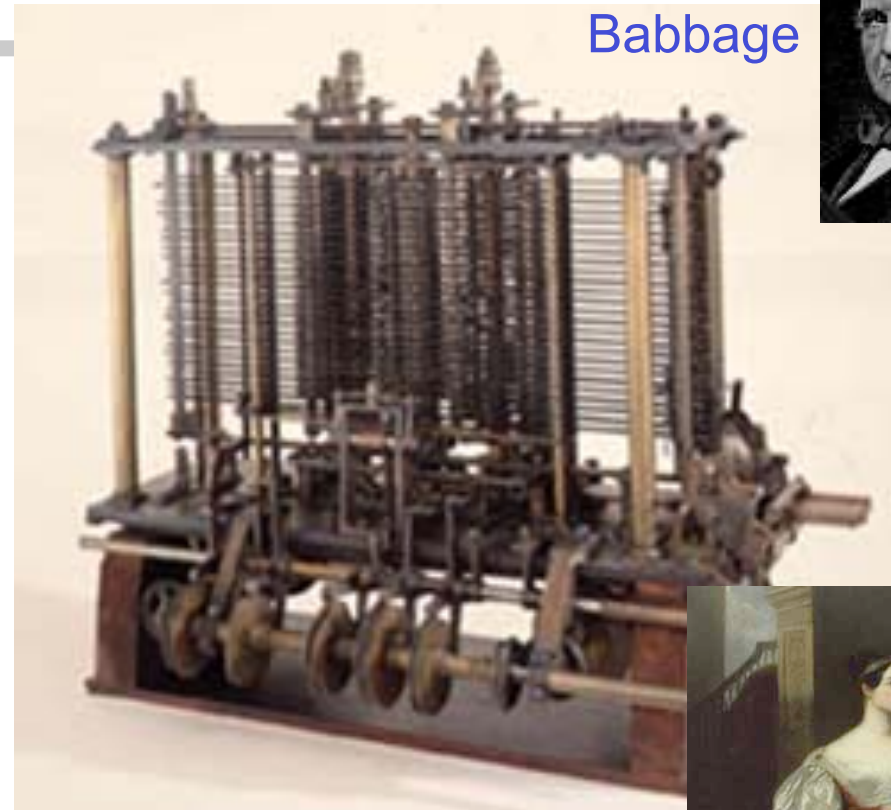


Der erste Universalrechner

Charles
Babbage



- 1830: „*Analytic Engine*“
 - entwickelt von C. Babbage
 - Steuerwerk, programmierbar mit Lochkarten
 - Rechenwerk („*Mill*“)
 - Speicher („*Store*“) für 1000 Dezimalzahlen aus 50 Stellen
 - Ein-/Ausgabe mit Lochkarten
 - Verzweigungen möglich
 - Lady Ada Augusta Lovelace als erste Programmiererin



Lady Ada Augusta
Lovelace



<http://www.fourmilab.ch/babbage/sketch.html>

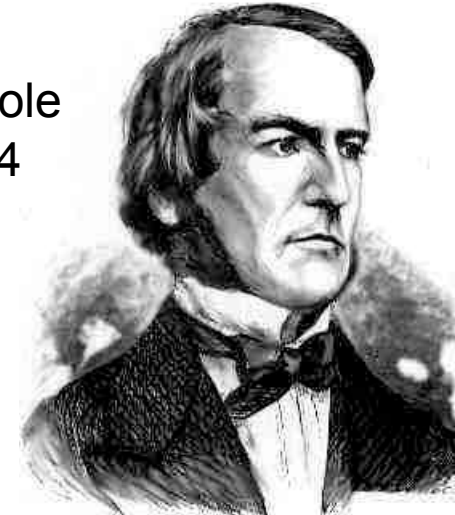


Die mathematische Grundlage des Digitalrechners

- 1854: Boolesche Algebra
 - entwickelt von G. Boole
 - binäre logische Operationen
 - mathematische Basis für moderne Digitalrechner

'An Investigation of the Laws of Thought, on Which Are Founded the Mathematical Theories of Logic and Probabilities', 1854

George Boole
1815 - 1864



<http://www-groups.dcs.st-and.ac.uk/~history/Mathematicians/Boole.html>

Augustus de Morgan: Dass die symbolischen Prozesse der Algebra, ursprünglich zum Zweck numerischer Rechnungen erfunden, fähig sein sollten, **jeden Akt des Denkens und der Logik** zu liefern, dies hätte niemand geglaubt, bevor es in „Laws of Thought“ bewiesen wurde.



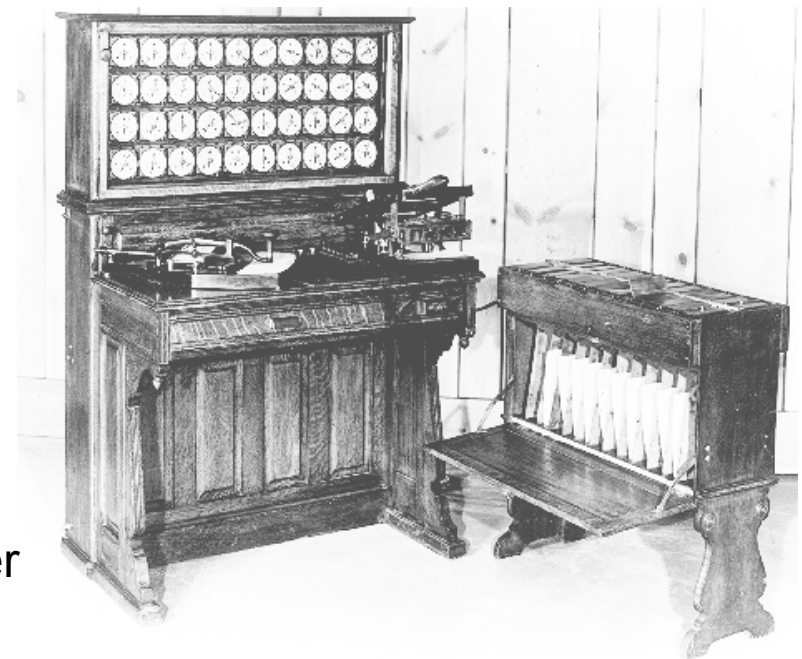
Hollerith's Maschine

- 1890: **Tabelliermaschine**

- entwickelt von H. Hollerith zum schnellen Zählen und Sortieren (Volkszählung!)

- Holleriths „*Tabulating Machine Company*“ wurde 1924 zur Fa. IBM

**Hermann
Hollerith
1860-1929**



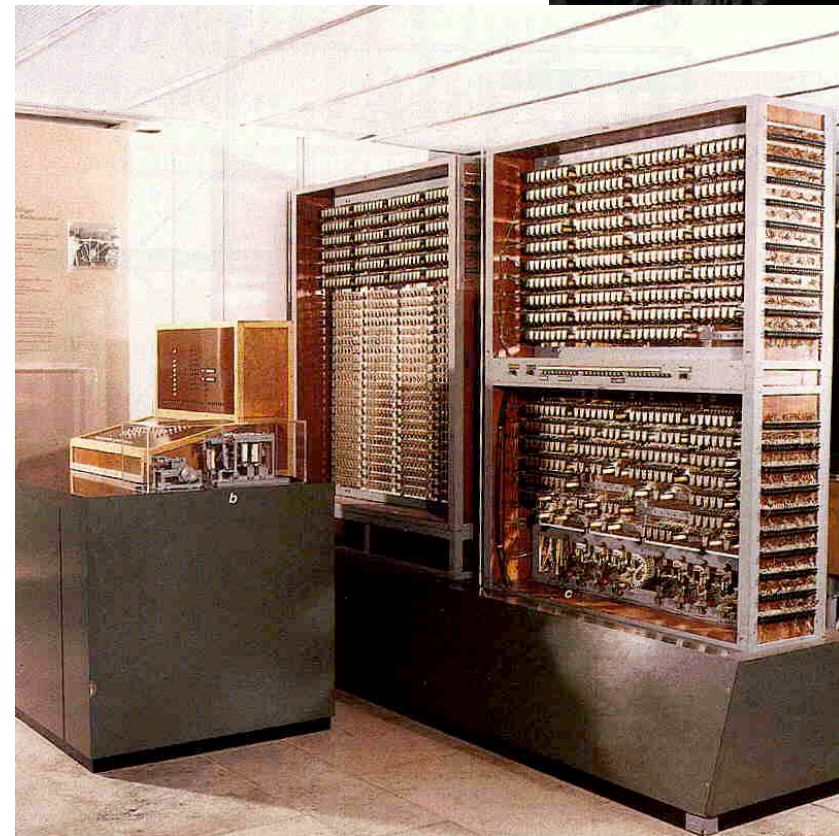
Anwendung der Lochkartentechnik bei der 11. Volkszählung in der USA.

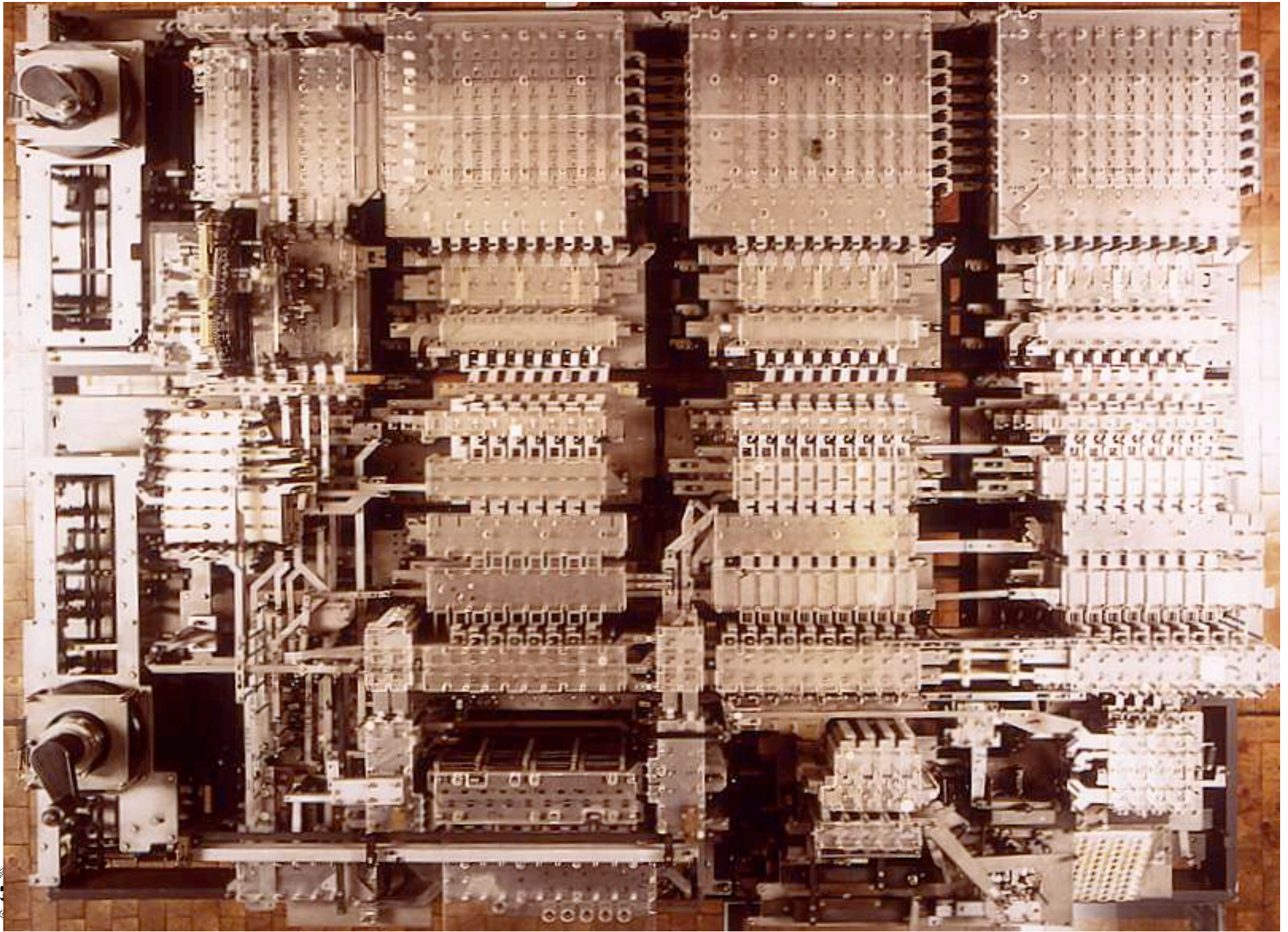
1880: 10. Volkszählung mit 500 Helfer, 7 Jahre Dauer
1890: 11. Volkszählung mit 50 Helfer, 4 Wochen Dauer



Historische Entwicklung

- 1941: Z3
 - entwickelt von K. Zuse
 - 10 Hertz Taktfrequenz
 - basierend auf 2200 **Relais**
 - 22-stellige Binärzahlen (im Gleitkomma-Format !)
 - dezimale Ein-/Ausgabe
 - Speicher mit 64 Worten
 - Steuereinheit mit Sequenzer
 - Addition in 3 Takten, Multiplikation in 16 Takten

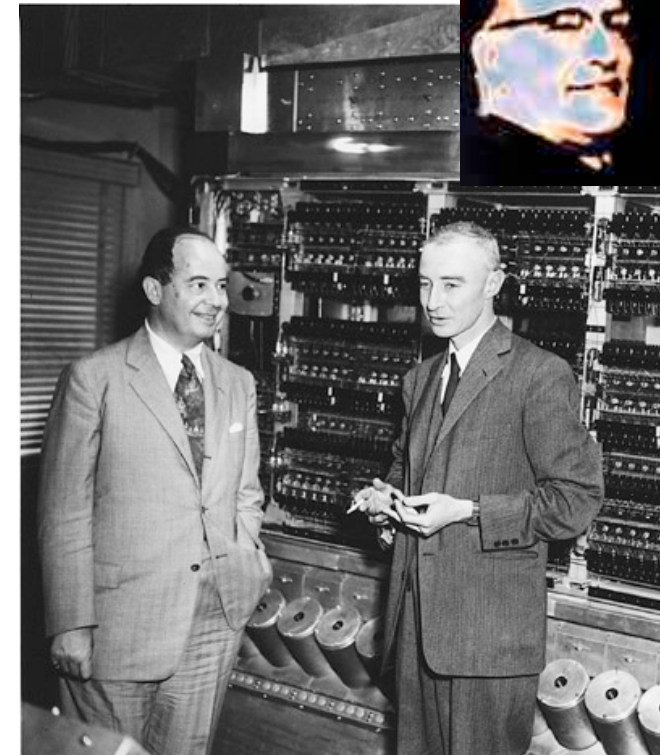
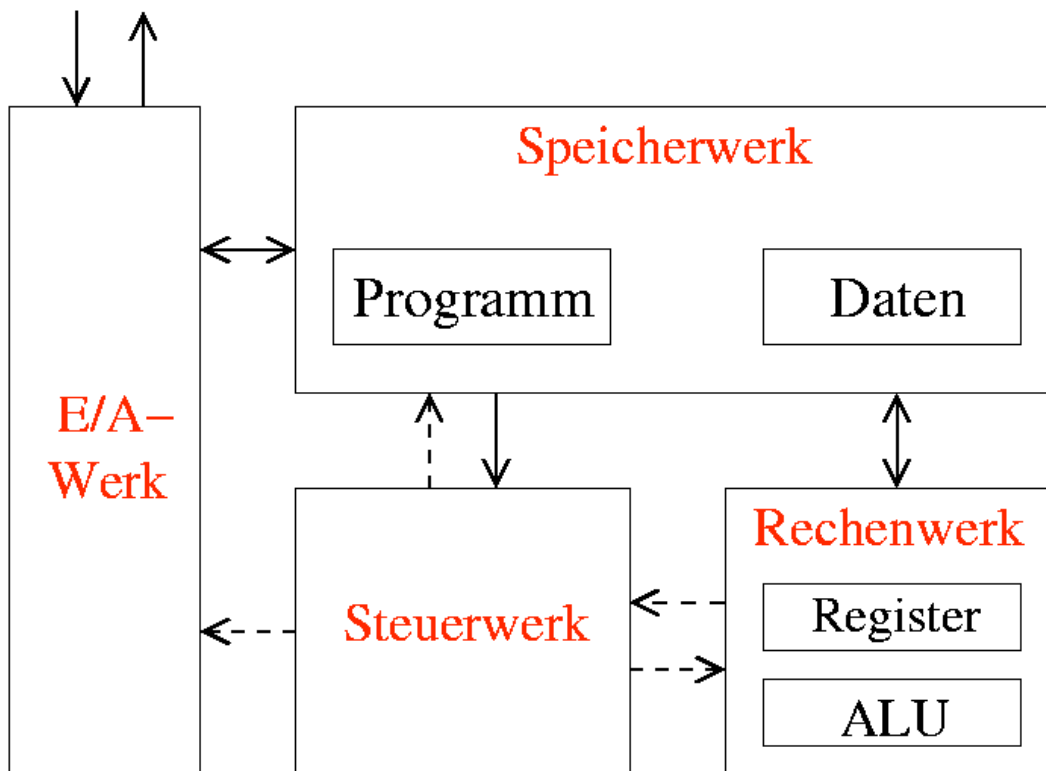




Historische Entwicklung

John Mauchly (1907-1980) &
J. Presper Eckert (1919-1995)

- 1945: Von-Neumann Architektur (Eckert/Mauchly, John von Neumann)



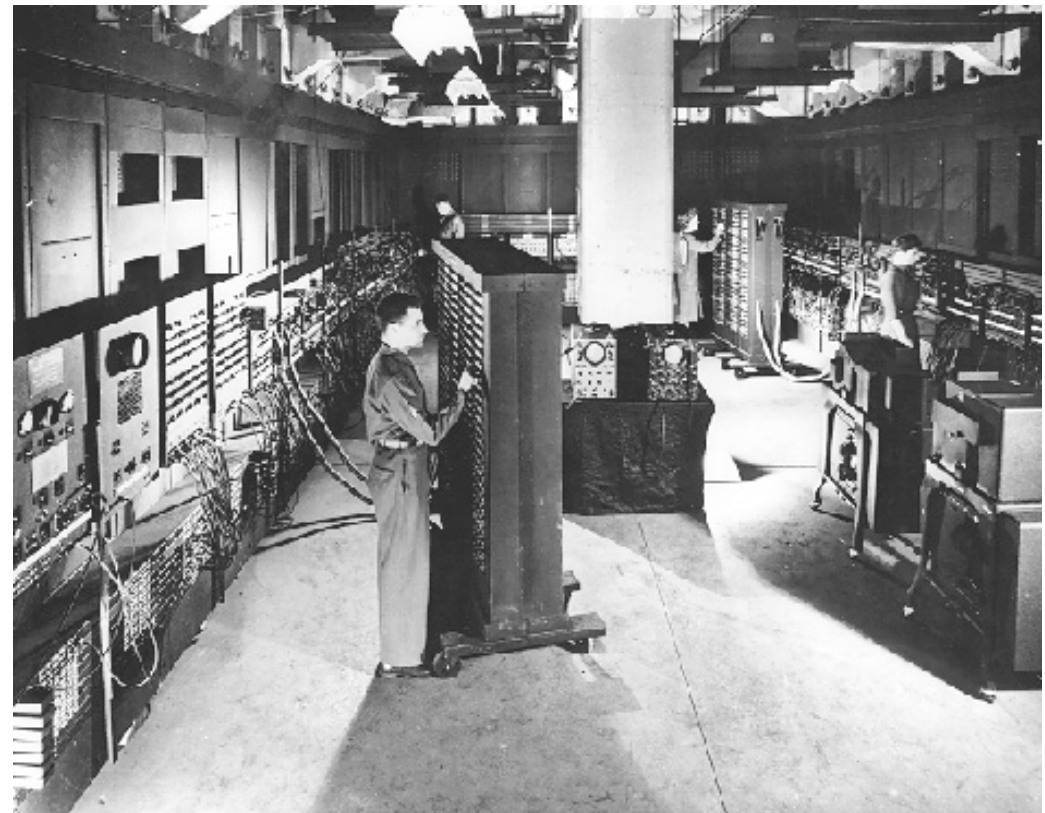
John von Neumann, left, with Robert Oppenheimer,
Director of the Institute for Advanced Study from 1947-66

<http://www.ias.edu/the-institute-letter/archive/03Winter/winter03.php>

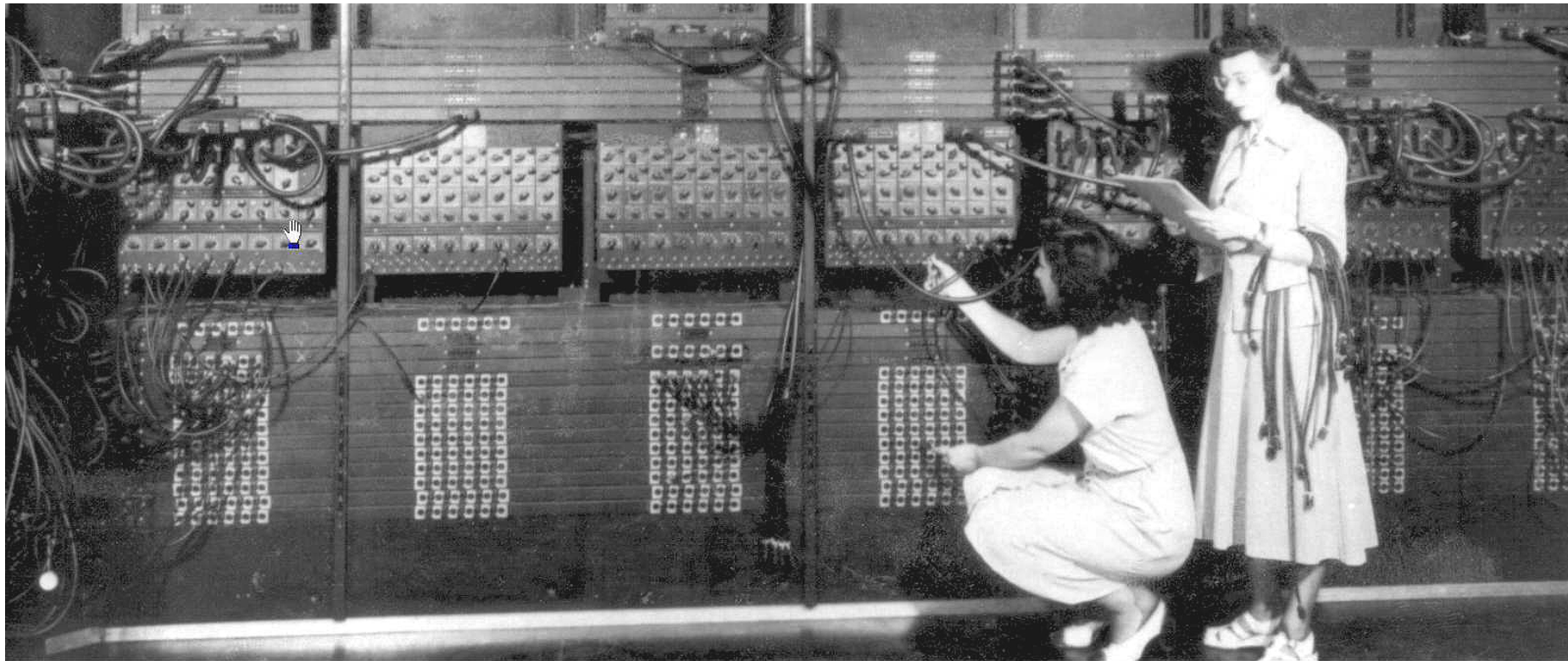


Historische Entwicklung

- 1946: ENIAC
 - 18000 **Röhren**, 1500 Relais
 - 130 m², 30 Tonnen, 140 kW
 - dezimale Kodierung
 - ca. 5000 Additionen je Sek.
 - 20 Akkumulatoren, 1 Multiplizierer, 3 Funktionstabellen
 - programmiert durch Kabel-Verbindungen
 - E/A mittels Lochkarten
 - gebaut für ballistische Berechnungen



Historische Entwicklung



Gloria Gordon and Ester Gerston at work on the ENIAC



Univac I

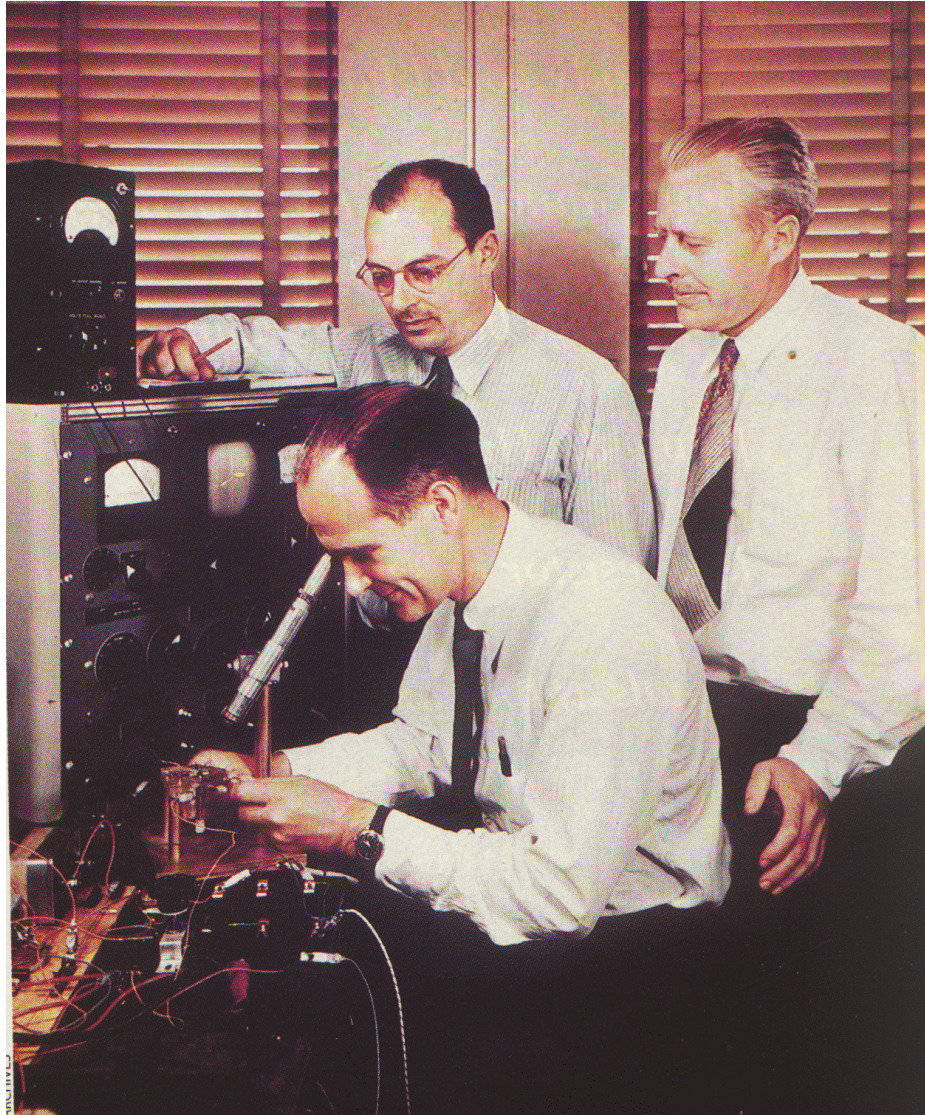


J. Presper Eckert an der Schlüsselerfindung der UNIVAC, dem Quecksilberlaufzeit-speicher. (HNI)

Remington Rand 1951, entworfen von J. Presper Eckert und John Mauchly



Grundlage für heutige Rechner: Halbleiter



1948

Walter H. Brattain

John Bardeen

William Shockley



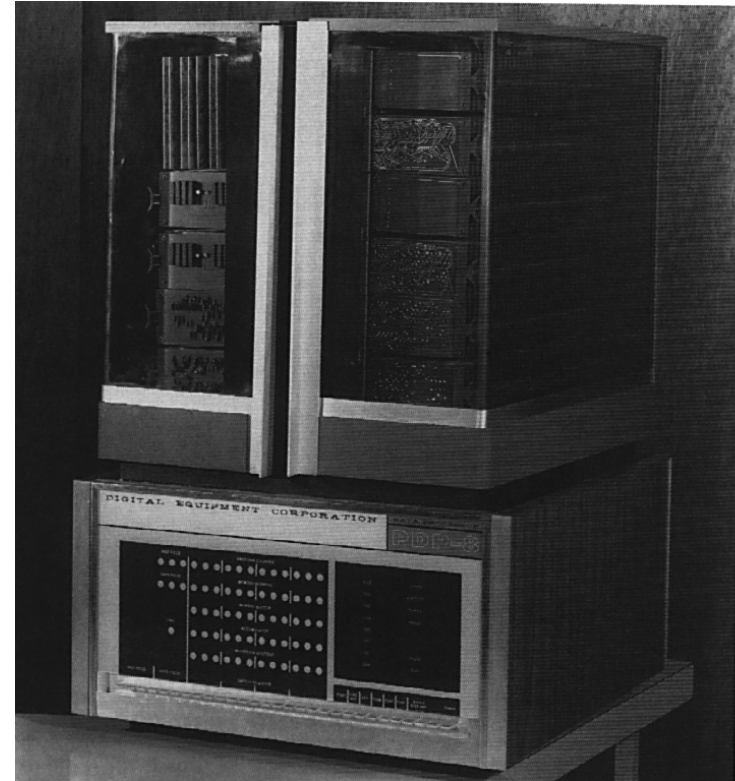
Der Ur-Transistor



Historische Entwicklung

PDP-8

- 1961: PDP-1
 - gebaut von DEC
 - auf **Transistortechnik** basiert
 - magnetischer Kernspeicher für 4096 18-Bit Worte
 - 200 kHz Taktfrequenz
 - CRT, 512 x 512 Pixel Grafik
- ⇒ erster **Minicomputer**

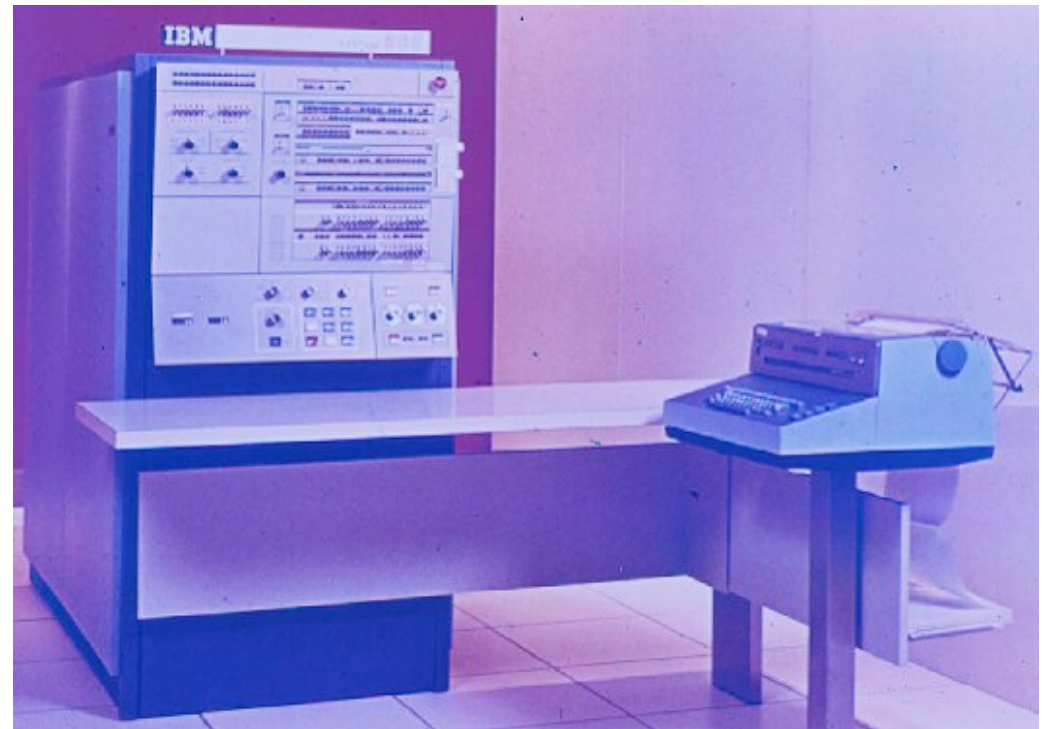


Es folgten: PDP-8 mit Omnibus (erstes **Bussystem**, 1965),
PDP-11 (erster **16-Bit** Rechner, 1970)



Hermann Hollerith's Enkel

- 1965: IBM System/360
 - erste **Rechnerfamilie** mit gleichem Instruktionssatz
 - **Mehrprogrammbetrieb**
 - **Mikroprogrammierung**
 - Verwendung von integrierten Schaltkreisen (**ICs**)
 - 32-Bit Worte
 - 16 Mbyte Adreßraum
 - typischer Großrechner (auch als „*Mainframe*“ bezeichnet)



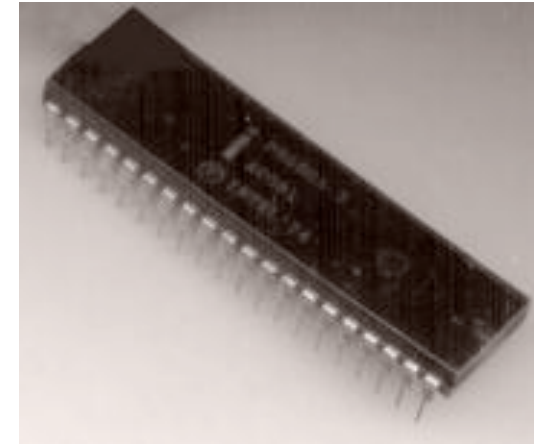
Historische Entwicklung

- Weitere Meilensteine der Computer-Hardware:
 - 1971: erster Mikroprozessor auf dem Markt (Intel 4004)
 - 1976: Cray-1 (erster **Vektorrechner**)
 - 1985: MIPS (erster kommerzieller **RISC**-Mikroprozessor)
 - 1987: Connection Machine (erster **massiv paralleler Rechner** mit 65536 Prozessoren)
 - 1992: DEC Alpha 21064 (erster RISC-Mikroprozessor mit **64-Bit CPU**)
 - 1997: Supercomputer **ASCI Red** liefert eine **Rechenleistung von mehr als 1 TFlops**
 - 2000: erster Mikroprozessor mit **1 GHz Taktfrequenz**



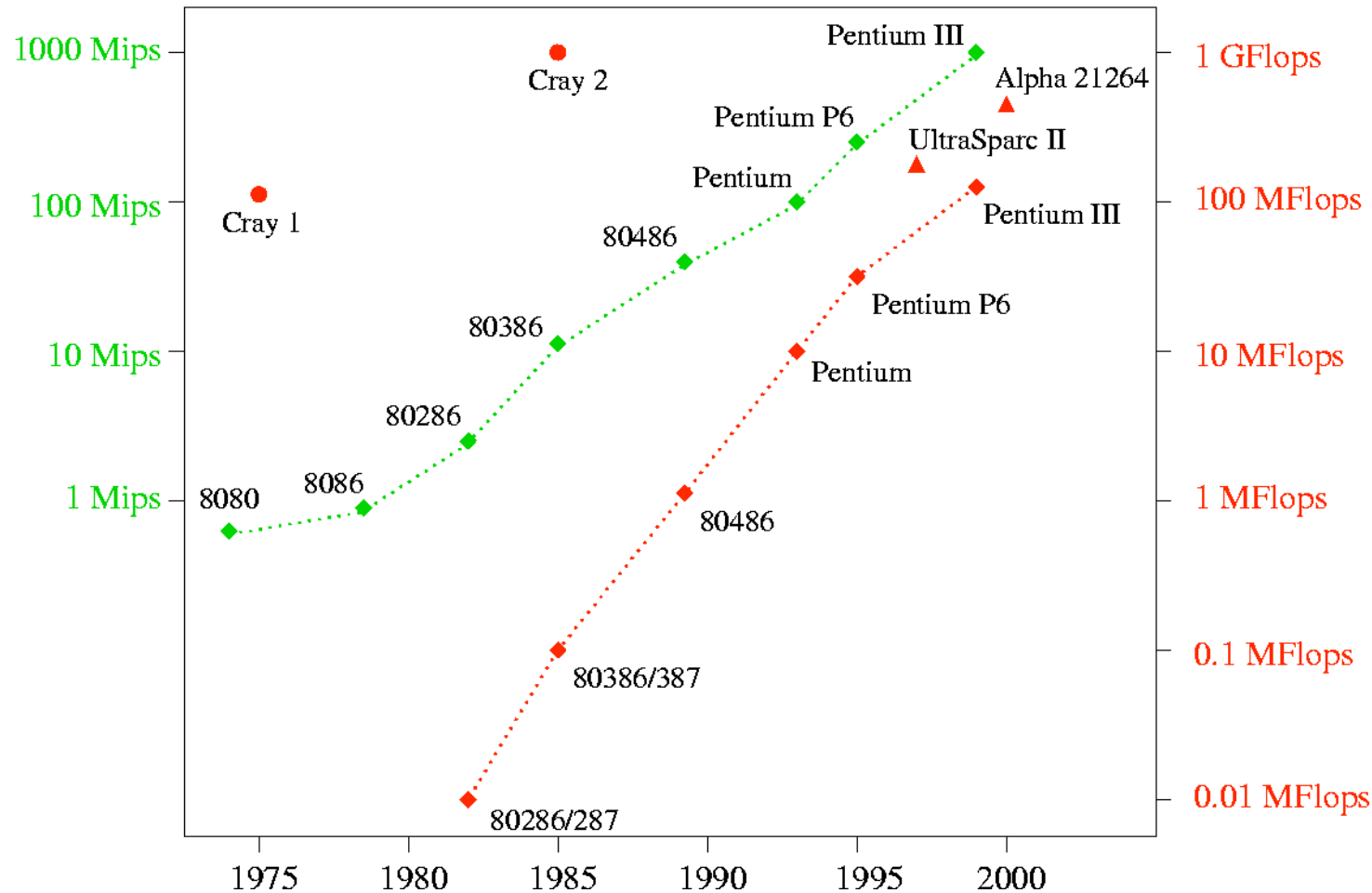
Entwicklung der Mikroprozessoren

- 1974: Intel 8080 (erste universelle **8-Bit CPU** auf einem Chip)
- 1978: Intel 8086 (erste **16-Bit CPU** auf einem Chip)
- 1979: Motorola 68000 mit 32-Bit interner Architektur
- 1981: Einführung des IBM PC
- 1985: Intel 80386 (**32-Bit CPU**)
- 1989: Intel 80486 (Cache + FPU auf dem Chip)
- 1993: Intel Pentium (zwei Pipelines)
- 1995: Intel Pentium Pro (bis zu fünf Operationen gleichzeitig)
- 2002: Intel Pentium 4 (Trace-Cache)



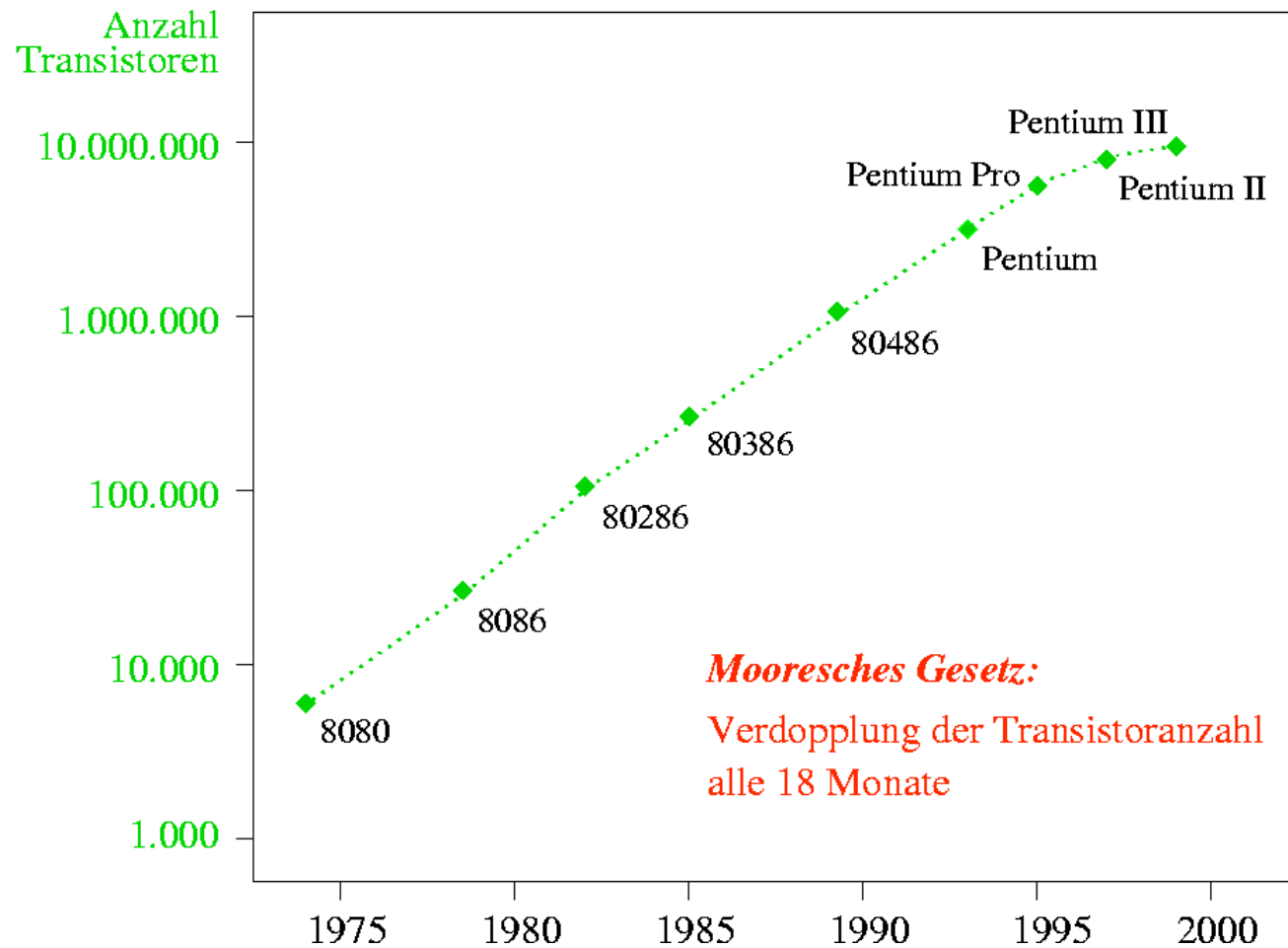
Entwicklung der Mikroprozessoren

- Leistungssteigerung 1975-2000:



2 Entwicklung der Mikroprozessoren (3)

- Komplexitätssteigerung 1975-2000:





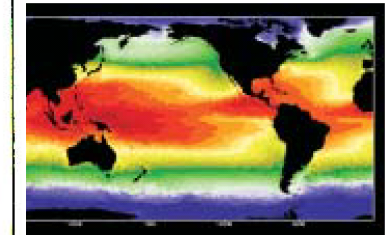
Top 10 der Supercomputer November 2005 (nach Linpack-Benchmark; Rang in Klammern: Juni 2005)

Rang	Hersteller	Rechner	Standort	Rechenleistung (Gigaflops)
1 (1)	IBM	Blue Gene/L, PPC440, 0,7 GHz	Lawrence Livermore National Lab, USA	280 600
2 (2)	IBM	Blue Gene, PPC440, 0,7 GHz	IBM Thomas J. Watson Research Center, USA	91 290
3 (13)	IBM	Asci Purple, P-Series 575, 1,9 GHz	Lawrence Livermore National Lab, USA	63 390
4 (3)	SGI	Columbia, Altix, Itanium 2, 1,5 GHz	NASA Ames Research Center, Moffett Field, USA	51 870
5 (-)	Dell	Thunderbird, Poweredge 1850, 3,66 GHz	Sandia National Labs, Albuquerque, USA	38 270
6 (10)	Cray	Red Storm, XT3, Opteron, 2 Gigahertz	Sandia National Labs, Albuquerque, USA	36 190
7 (4)	NEC	Earth Simulator, SX6 Vektor	Earth Simulator Center, Yokohama, Japan	35 860
8 (5)	IBM	Mare Nostrum, JS20 Cluster, PPC970, 2,2 GHz	Barcelona Supercomputer Center, Spanien	27 910
9 (8)	IBM	Blue Gene, PPC440, 0,7 GHz	Universität Groningen, Niederlande	27 450
10 (11)	Cray	XT3, 2,46 GHz	Oak Ridge National Lab, USA	20 527

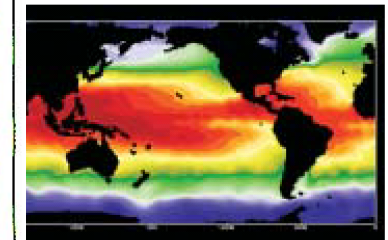
**Quelle: Jack Dongarra, Hans Werner Meuer, Horst Simon, Erich Strohmaier
COMPUTER ZEITUNG 46/2005**

rechner

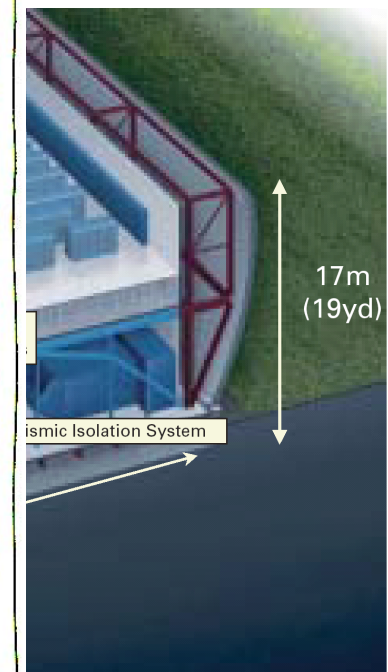
Comparison between Earth Simulator's Result (upper) and Observation (lower)



Simulation



Observation



17m
(19yd)

Seismic Isolation System

#Processors
Processor nodes
Processors per node

Peak Performance
Per node
Per processor

Main Memory
Per node



INTERNATIONAL
SUPERCOMPUTING CONFERENCE

'09

Juni 09,
Hamburg

<http://www.supercomp.de/isc09/News-Press/For-Journalists/Press-Releases>

Holding onto the No. 1 spot with **1.105** (1,105 in deutscher Notation: $1,105 \times 10^{15}$!!) **petaflops** (quadrillions of floating point operations per second) is the **Roadrunner system at DOE's Los Alamos National Laboratory** (LANL) which was built by IBM and in June 2008 became the first system ever to break the petaflop/s Linpack barrier. It still is one of the most energy efficient systems on the TOP500.

Maintaining its hold on second place is the **Cray XT5 Jaguar** system installed at the DOE's Oak Ridge National Laboratory. Jaguar reached **1.059 petaflop/s** shortly after its installation but due to its heavy workload no further measurements were possible.

But in third place, a new contender has emerged-- a new **IBM BlueGene/P system** called JUGENE and installed at the Forschungszentrum Juelich (FZJ) in Germany. It achieved **825.5 teraflop/s** (trillions of floating point operations per second) on the Linpack benchmarks and has a theoretical peak performance of just above 1 petaflop/s. FZJ is also home to the new No. 10 system. Called JUROPA, it is built from Bull Novascale and Sun SunBlade x6048 servers and achieved 274.8 Tflop/s.



Wo werden Rechner eingesetzt?

DAIMLERCHRYSLER



... very complex software-intensive systems ...

CAN CLASS B

- 1) SAAS/RS Fahrer
- 2) SAAS/RS Beifahrer
- 3) SAAS/RS Heck 1
- 4) SAAS/RS Heck 2
- 5) Sitzsteuergerät Fahrer
- 6) Sitzsteuergerät Beifahrer
- 7) Sitzsteuergerät hinten links
- 8) Sitzsteuergerät hinten rechts
- 9) Türsteuergerät vorne Fahrerseite
- 10) Türsteuergerät vorne Beifahrerseite
- 11) Türsteuergerät hinten Fahrerseite
- 12) Türsteuergerät hinten Beifahrerseite
- 13) Steuergerät Thermwand
- 14) Dachbedieneinheit
- 15) Dachknoten Mitte (DKM)
- 16) Vordach-Beleuchtungs-Field (VBF)
- 17) Hinterrück-Beleuchtungs-Field (HBF)
- 18) Elektronisches Zündschloss (EZS)
- 19) Kombiinstrument
- 20) Motorbremse
- 21) Frontklimatisierung
- 22) Fondklimatisierung
- 23) Audiodaten

- 24) Partikelsystem (PTS)
- 25) Rollüberholbremse (ROB)
- 26) Pneumatische Steuerbremse (PSB)
- 27) Heckdeckelformschlüsselöffnung
- 28) Zentrale Gateway
- 29) Airbag-SG (Kinnack)
- 30) Multifunktionssteuergerät (MSS)
- 31) Bordnetz-Steuergerät
- 32) Wandler Lenkschleifung
- 33) Standheizung
- 34) Türschleifung hinten Fahrerseite
- 35) Türschleifung hinten Beifahrerseite

CAN CLASS C

- 36) Elektronisches Zündschloss (EZS)
- 37) Kombiinstrument
- 38) Motorbremse
- 39) Zentrale Gateway
- 40) Elektronisches Motorbremse
- 41) Luftfeder (SLF)
- 42) DTC (DTR)
- 43) Leuchtwahlregulierung
- 44) Motorbremse (MI)
- 45) Sensorische Brake System (TSG)
- 46) Elektronische Getriebe-Steuerung

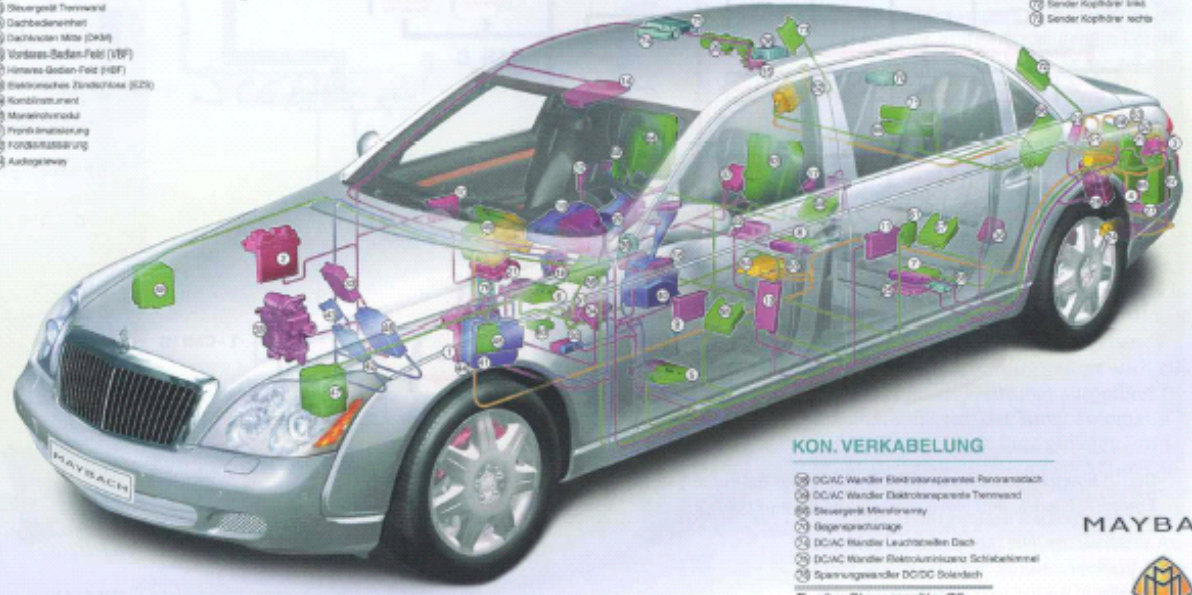
MOST-BUS

- 47) Audiodaten
- 48) Headunit
- 49) Steuergerät Sprachbedienung
- 50) TV-Tuner MOST
- 51) Soundverstärker
- 52) Navigationsrechner
- 53) Kommunikationsplattform (CP1)

PRIVATE-BUS

- 54) Sitzsteuergerät Fahrer
- 55) Sitzsteuergerät Beifahrer
- 56) Sitzsteuergerät hinten links
- 57) Sitzsteuergerät hinten rechts
- 58) TV-Tuner CAN
- 59) Dachraumventil
- 60) Sensorische Brake System (TSG)
- 61) Sensorische Brake System (ASG I)
- 62) Sensorische Brake System (ASG II)
- 63) Motorbremse vorne links
- 64) Motorbremse vorne rechts
- 65) Motorbremse hinten links
- 66) Motorbremse hinten rechts
- 67) Motorbremse hinten links
- 68) Motorbremse hinten rechts
- 69) Motorbremse hinten links
- 70) Motorbremse hinten rechts
- 71) Motorbremse hinten links
- 72) Motorbremse hinten rechts

57



KON. VERKABELUNG

- 73) DC/AC Wandler Elektroantriebe Panoramadach
- 74) DC/AC Wandler Elektroantriebe Thermwand
- 75) Steuergerät Motorbremse
- 76) Beleganschlüsse
- 77) DC/AC Wandler Leuchtwahlregulierung
- 78) DC/AC Wandler Rekluminanz Schiebelinien
- 79) Spannungswandler DC/DC Solarteich

Σ aller Steuergeräte: 76

MAYBACH

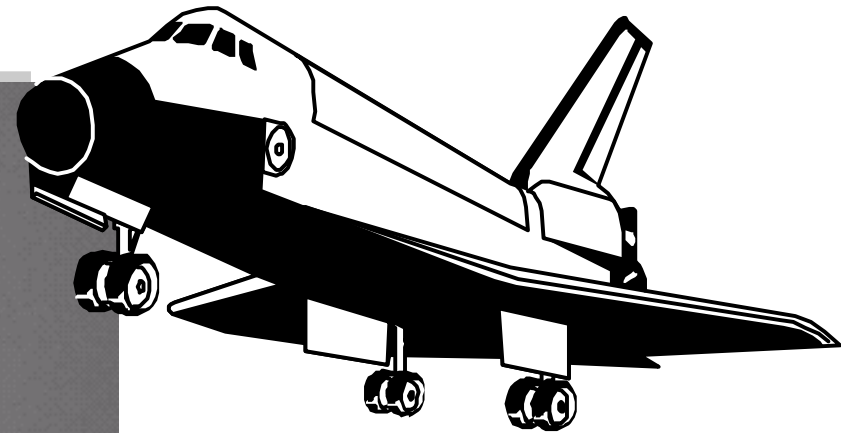


DC Confidential

3



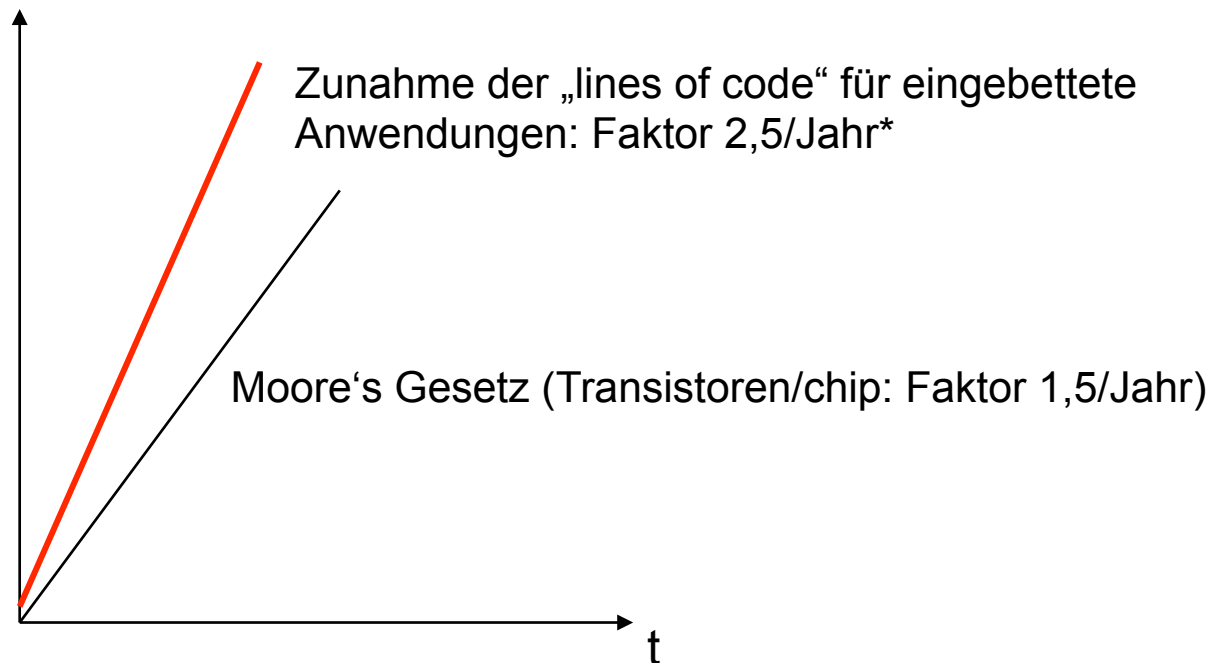
Wo werden Rechner eingesetzt?



- Fünf Computer, 2 verschiedene Typen – jeder Computer besitzt interne Redundanz
- Vier unterschiedliche Softwaretypen von 2 verschiedenen Lieferanten.
- 3 Kabelstränge – B, G, Y, separat durch das Flugzeug geführt.
- Mehrere Aktuatoren kontrollieren eine physische Steueroberfläche.
- Mehrere Computer kontrollieren einen Aktuator.

Wo werden Rechner eingesetzt?

99% aller Prozessoren werden in eingebetteten Systemen eingesetzt



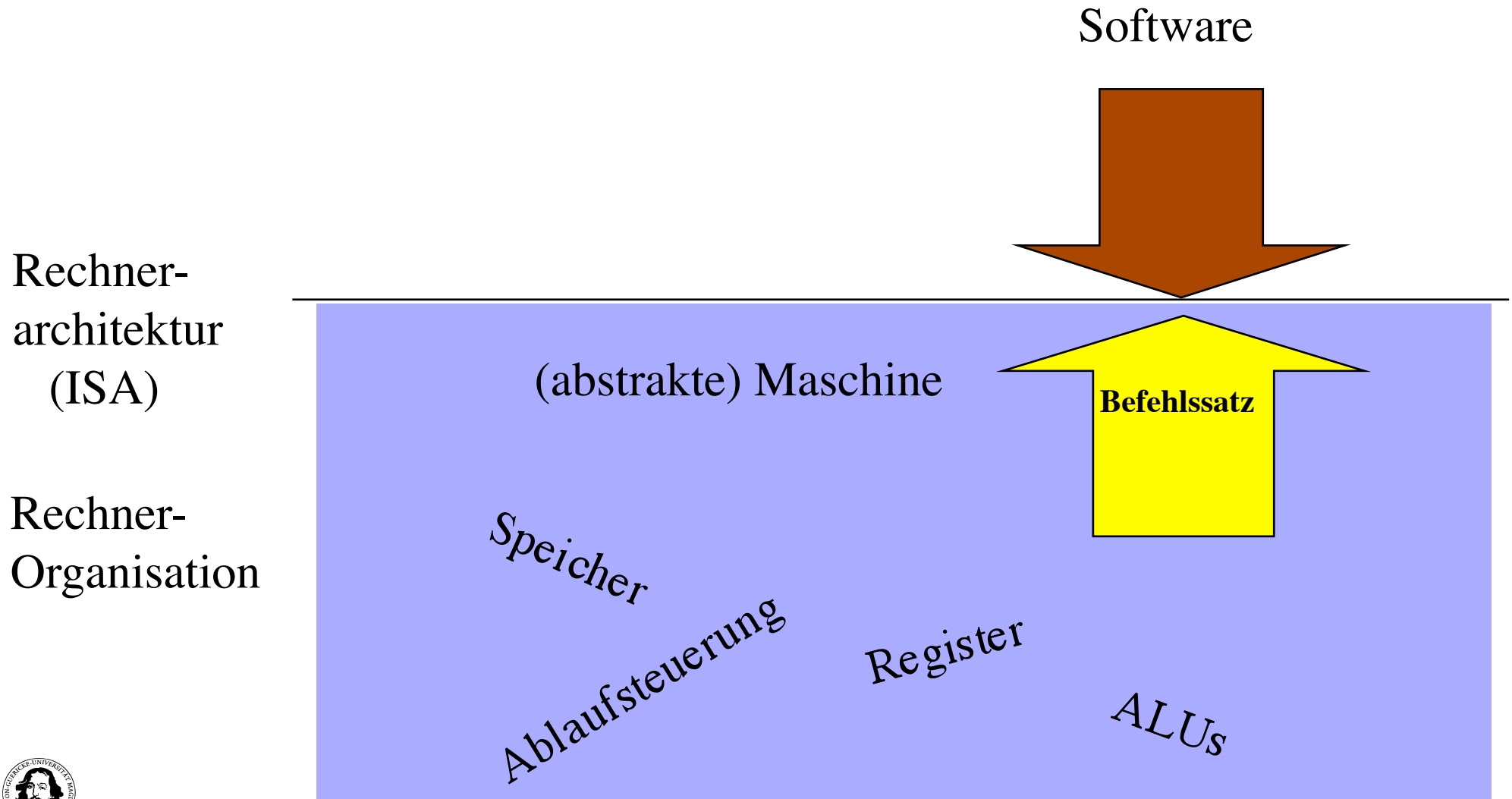
*Quelle: Vortrag R. Hartenstein anlässlich: „Computing Frontiers“, 2004



Komponenten eines Rechners und ihr Zusammenwirken



Die Hardware/Software Schittstelle



Rechner-
architektur
(ISA)

Rechner-
Organisation



Prozessor-
unabhängig

Programm in einer Hochsprache

Übersetzer (Compiler)

Assemblerprogramm

Übersetzer (Assembler)

Maschinenprogramm

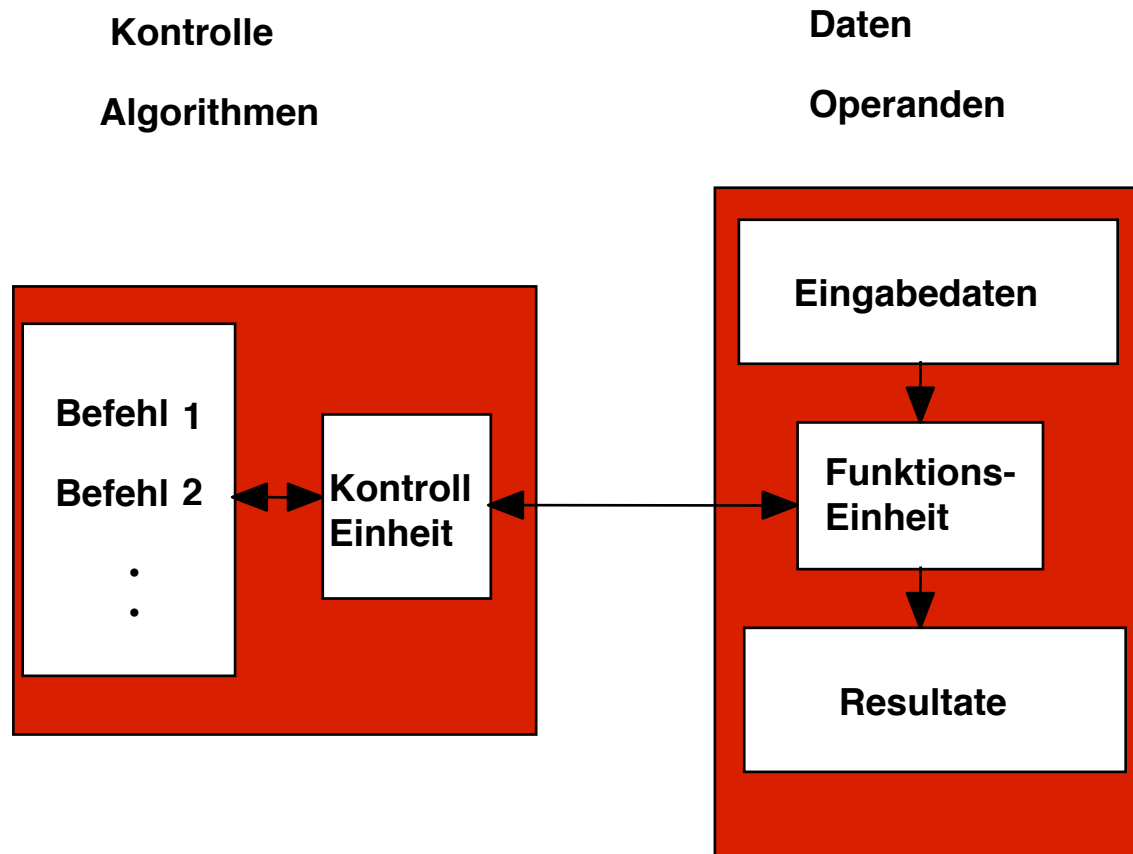
```
int fact (int n)
{
    f = 1;
    i = 1;
    while (i++ < n)
        f = f * i;
    return (f);
}
```

```
LDB    -1, X
CMPB   ,X
BGE    OUT
INCB
STB    -1, X
LDA    -2, X
MUL
STB    -2, X
BRA    REPEAT
```

```
0100110 01101111 01010101
0000100 01010110 01000010
0011111 11000110 11111000
0000000 00100100 01110001
```



Grundlegende Struktur einer CPU (Central Processing Unit)



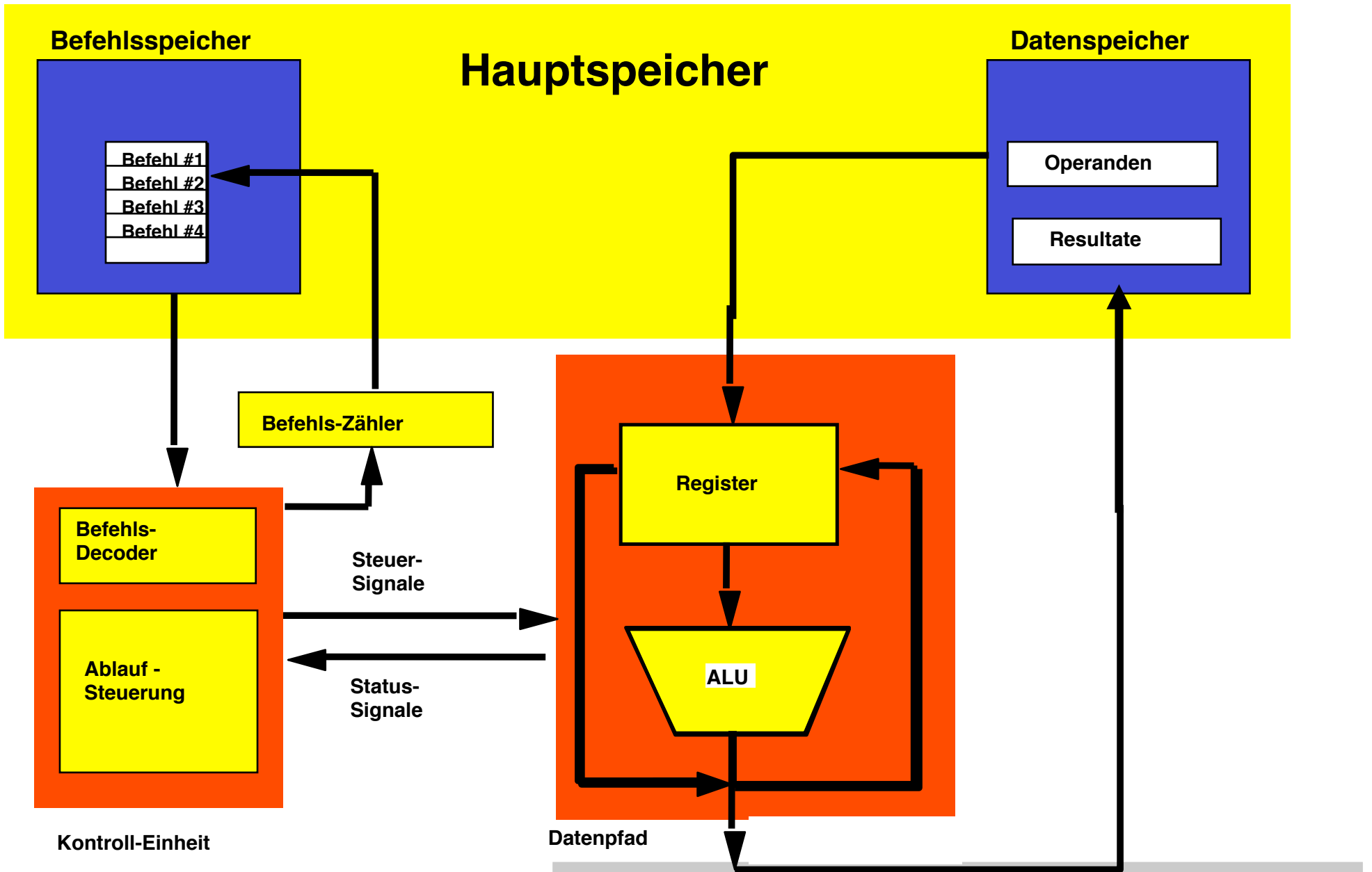
Das Prinzip des universellen Interpretierers

Prinzipien des „Stored Program Computer“ Ansatzes:

- 1.) Instruktionen sind als Binärzahlen codiert**
- 2.) Die Verwendung von Schreib/Lesespeichern für Programme**



Komponenten einer "Central Processing Unit" (CPU)

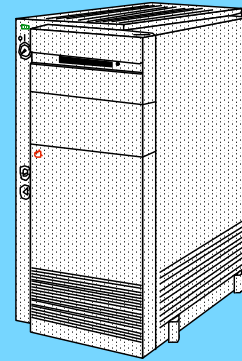


Schichtenmodell eines Rechners



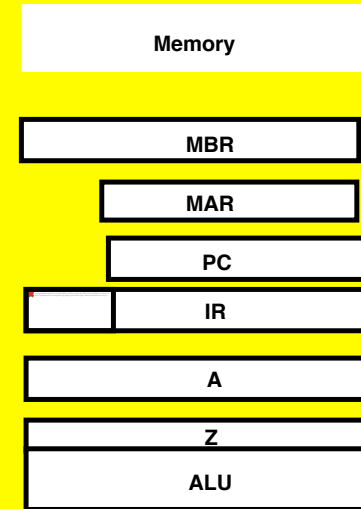
— Ebene der Rechner-Architektur (ISA)

TFR S, X
 LEAS -2, S
 BSR FACT
 PULS A
 LEAS 2, S

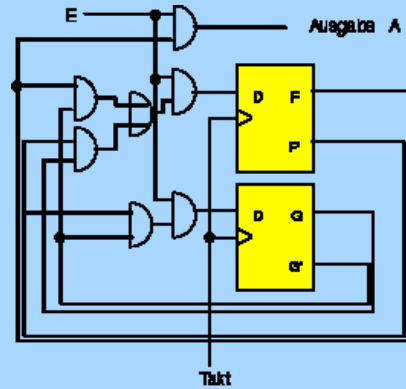


Register-Transfer Ebene

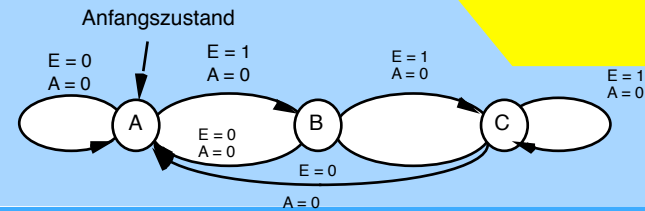
MBR — M [in str]
 PC — PC + 1
 IR — MBR_{29:0}
 MAR — IR_{29:20}



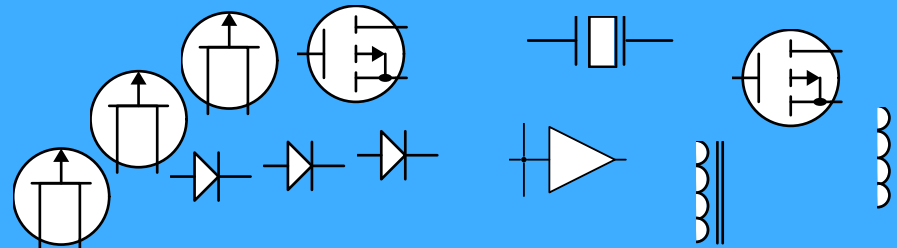
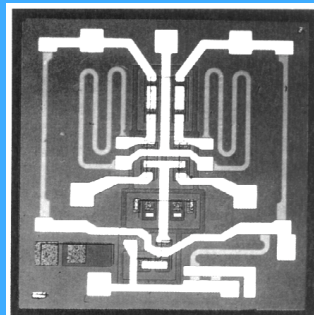
Ebene der Logischen Komponenten



t	t+1		A	
	E=0	E=1	E=0	E1
FG	FG	FG		
00	00	01	0	0
01	00	10	0	0
10	00	10	0	1



Ebene der Elektronischen Komponenten



Instruktionssatz - Softwareschnittstelle

Ebenen in der Hierarchie des Systementwurfs

Ebene der Rechner-Architektur (ISA, ISP)	Vollständige Rechner		<p>Strukturen: CPUs, Coprozessoren, dezidierte Funktionseinheiten, Attached Processors, (IUs, FPU's, MMUs, Graphik-Beschleuniger)</p> <p>Komponenten: Instruktionssätze, Kontrolle der Zusammenarbeit</p>	
	Verarbeitungen-Einheiten		<p>Strukturen: Instruktionssätze</p> <p>Komponenten: Speicherzustand, Prozessorzustand, Adressberechnung, Befehlsdecodierung, Befehlsausführung, Synchronisation paralleler Funktionseinheiten</p>	
Ebene der Logischen Komponenten	Register-Transfer-Ebene	Steuerung	Mikroprogramm	<p>Strukturen: Mikroroutinen, Mikroprogramme</p> <p>Komponenten: Mikroprogr. Steuerungen, Mikroprogr. Speicher</p>
			Festverdrahtet	<p>Strukturen: Ablaufsteuerungen (Sequencer)</p> <p>Komponenten: Sequentielle Maschinen</p>
	Datenpfad		<p>Strukturen: Arithm.-Logische Einheiten (ALU), Registersätze</p> <p>Komponenten: Register, Funktionsgeneratoren</p>	
	Schaltkreis-Ebene	Sequentiell		<p>Strukturen: Register, Zähler, Funktionsgeneratoren</p> <p>Komponenten: Flip-Flops, Latches, Verzögerungselemente</p>
Kombinatorisch		<p>Strukturen: Encoder, Decoder, elementare arithmetische und logische Funktionseinheiten</p> <p>Komponenten: logische Gatter</p>		
Ebene der Elektronischen Komponenten			<p>Strukturen: Verstärker, Verzögerungsglieder, Schalter</p> <p>Komponenten: Widerstände, Kondensatoren, Transistoren,</p>	

Schichtenmodell eines Computers

