

Grundlagen der technischen Informatik

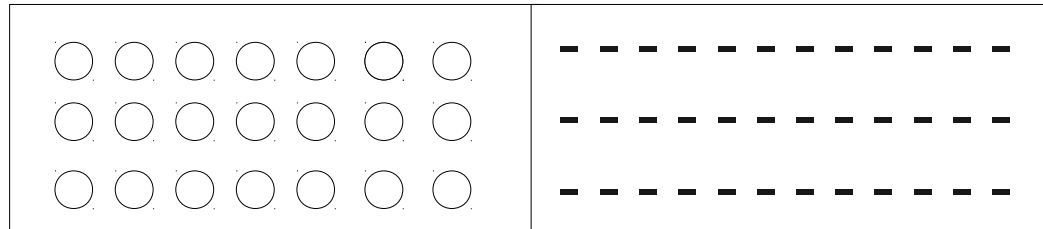
Realisierung von Schaltnetzen

Eine Zusammenfassung von:
Robert Heumüller
Maurice Hoffmeister
Sebastian Mai
Severin Orth

- Realisierung
- Dioden/Transistoren
- Physik
- PAL/PROM
- Lösung

- Realisierung von Schaltnetzen:
 - Schalter
 - Relais
 - Elektronenröhren
 - Transistoren
 - (DTL) Diode-Transistor-Logik
 - (TTL) Transistor-Transistor-Logik
 - (CMOS) Complementary Metal Oxide Semiconductor

Physikalische Grundlagen der Halbleitertechnik: Diode

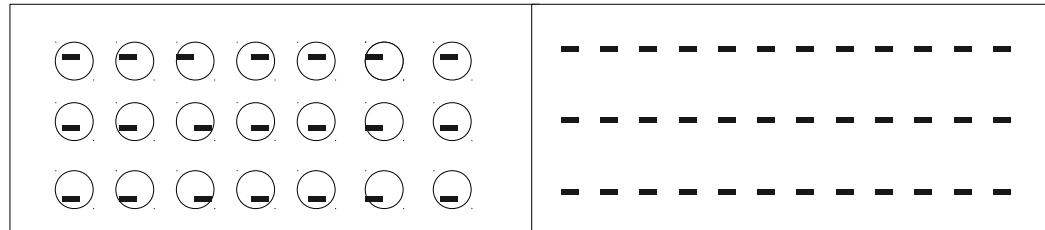


- Elektron
○ Loch

P-Dotierung
(Bor, Iridium)

N-Dotierung
(Phosphor, Arsen)

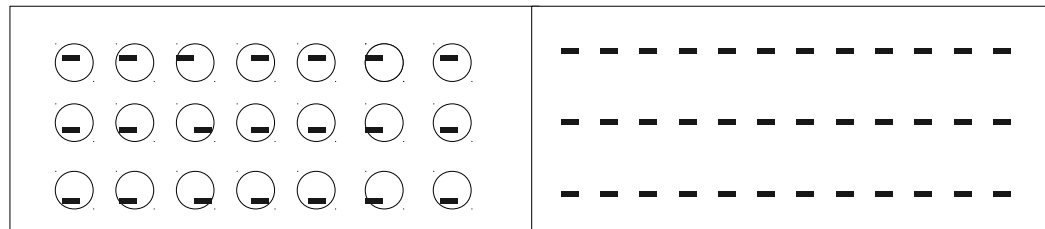
+



-

Freie Elektronen aus N-Dotierter Hälfte füllen Löcher in P-Dotierter Hälfte: Sperrschicht bildet sich aus.

-



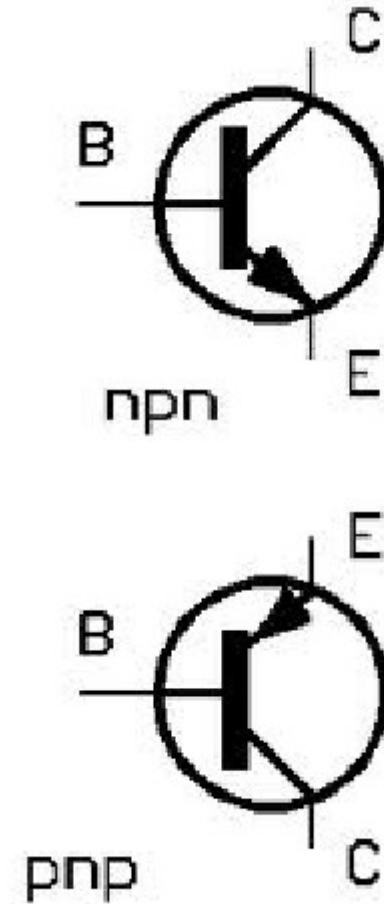
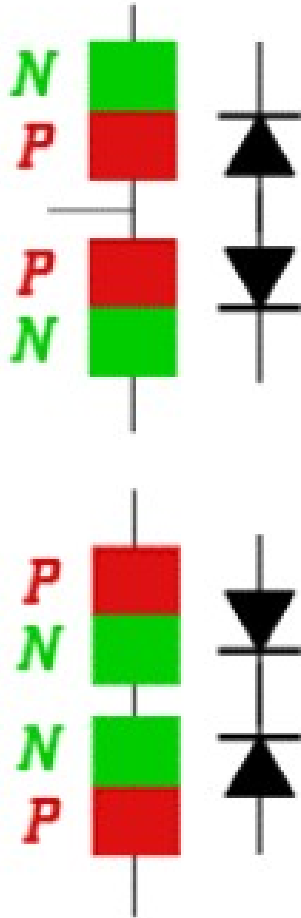
+

Positive Ladung „saugt“ Elektronen aus der Diode. Neue Elektronen fließen aus der Spannungsquelle nach: Sperrschicht baut sich ab.

- Aufgabe 1

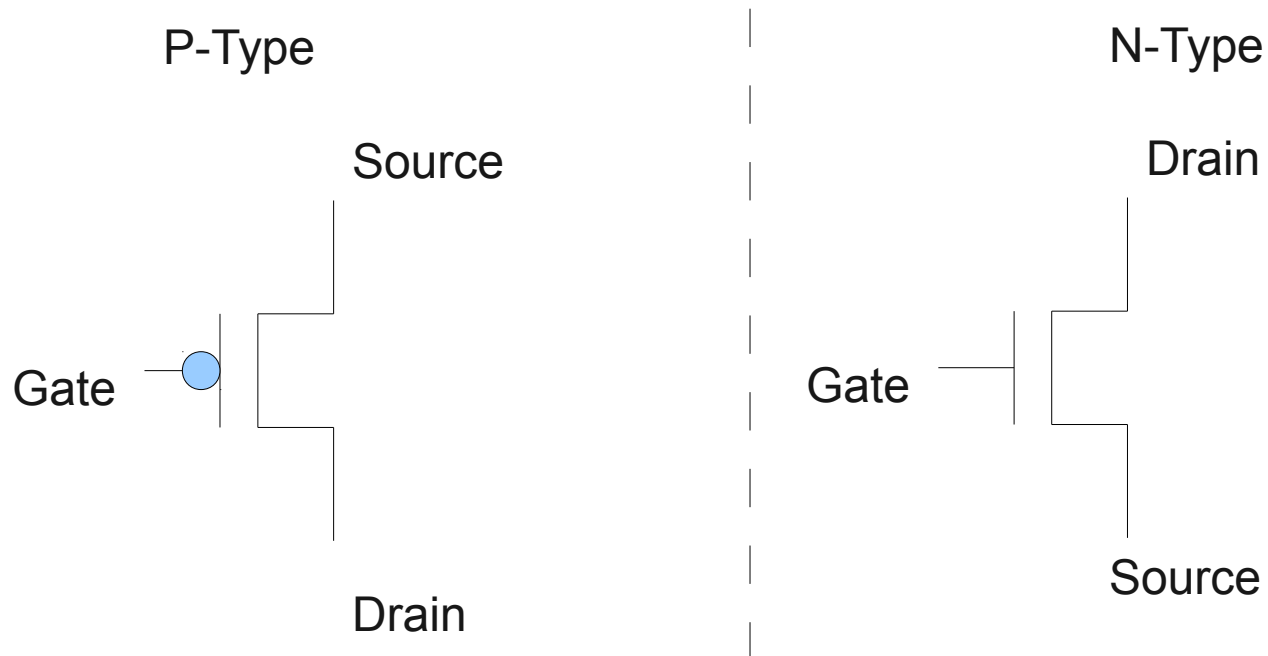
Erklären Sie den Aufbau und die Funktionsweise einer Diode.

Physikalische Grundlagen der Halbleitertechnik: Bipolartransistor



Feldeffekttransistoren(MOS) und CMOS

- Metal-Oxid-Semiconductor (Metalloxidhalbleiter)



Gute Erläuterungen / Applets:

http://tams-www.informatik.uni-hamburg.de/applets/cmos/cmos_dt.html

Informationen zur 32nm Technologie von Intel

http://download.intel.com/pressroom/kits/32nm/westmere/Intel_32nm_Overview.pdf

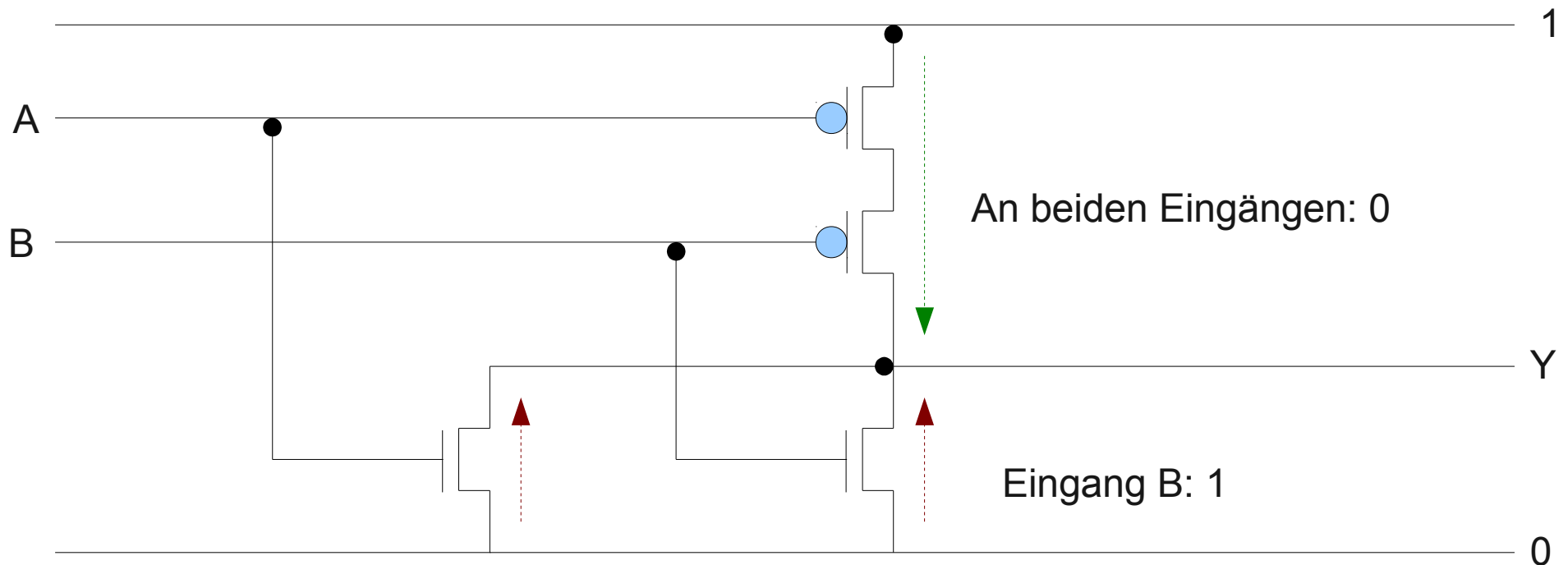
- Aufgabe 1
Erklären Sie den Aufbau und die Funktionsweise einer Diode.

- Aufgabe 2

Erklären Sie den Geschwindigkeitsunterschied zwischen einem npn-Transistor und einem MOS-Baustein.

CMOS = Kombination von N-Type und P-Type
Feldeffekttransistoren in Gattern.

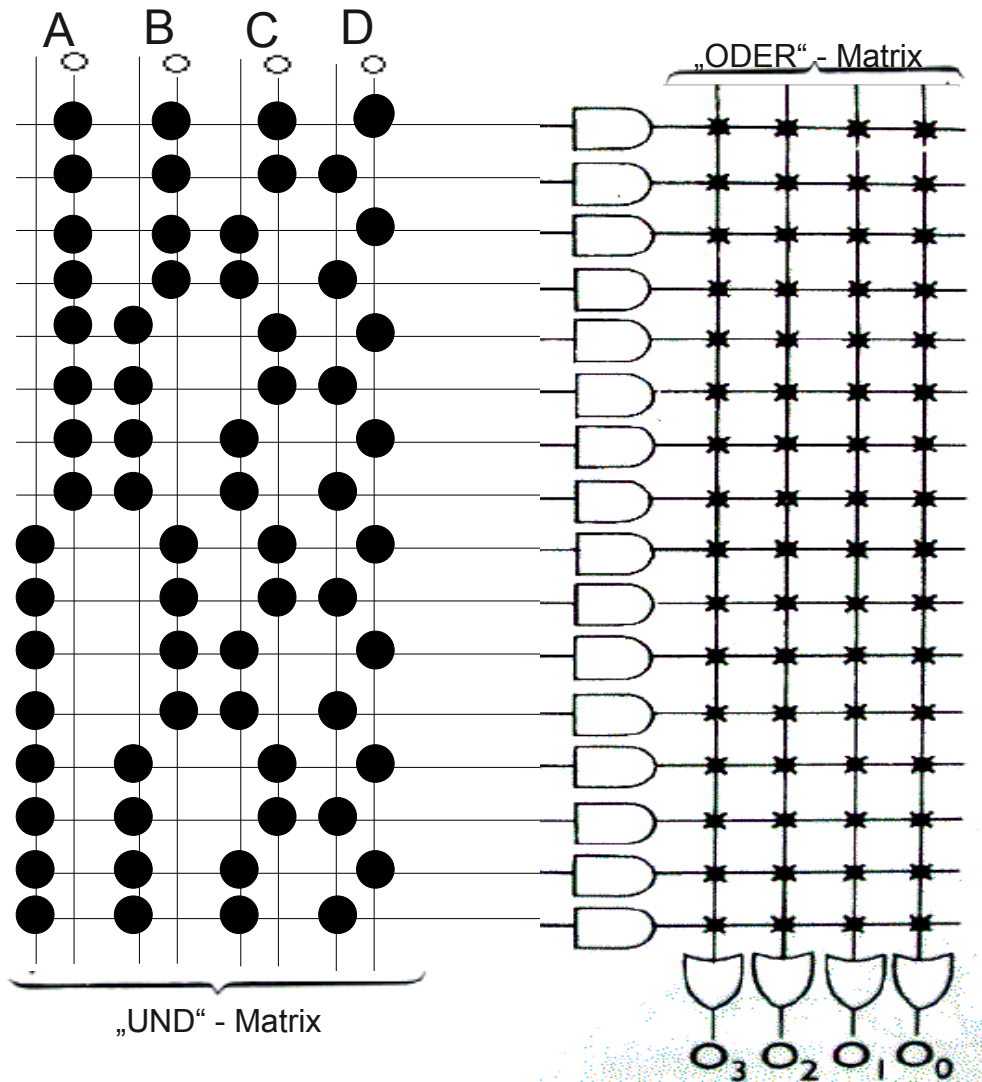
NOR Gatter mit CMOS



- Aufgabe 1
Erklären Sie den Aufbau und die Funktionsweise einer Diode.
- Aufgabe 2
Erklären Sie den Geschwindigkeitsunterschied zwischen einem npn-Transistor und einem MOS-Baustein.
- Aufgabe 3
Realisieren Sie ein NAND-Gatter mit CMOS.

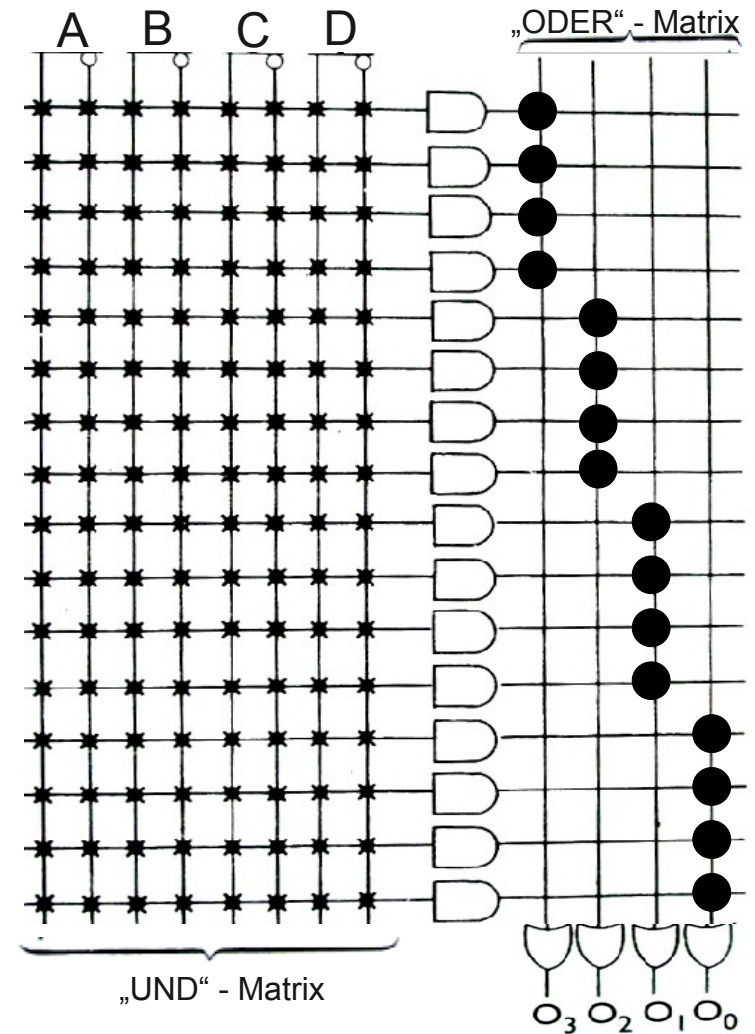
PROM

(Programmable Read-Only Memory)

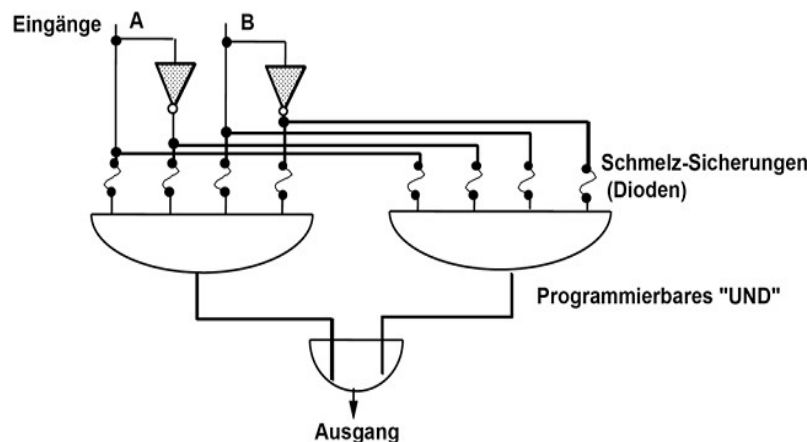


PAL/GAL

(Programmable / Generic Array Logic)



- Aufgabe 1
Erklären Sie den Aufbau und die Funktionsweise einer Diode.
- Aufgabe 2
Erklären Sie den Geschwindigkeitsunterschied zwischen einem npn-Transistor und einem MOS-Baustein.
- Aufgabe 3
Realisieren Sie ein NAND-Gatter mit CMOS.
- Aufgabe 4
Bilden Sie mit diesem PAL ein NAND ab.



Lösungen

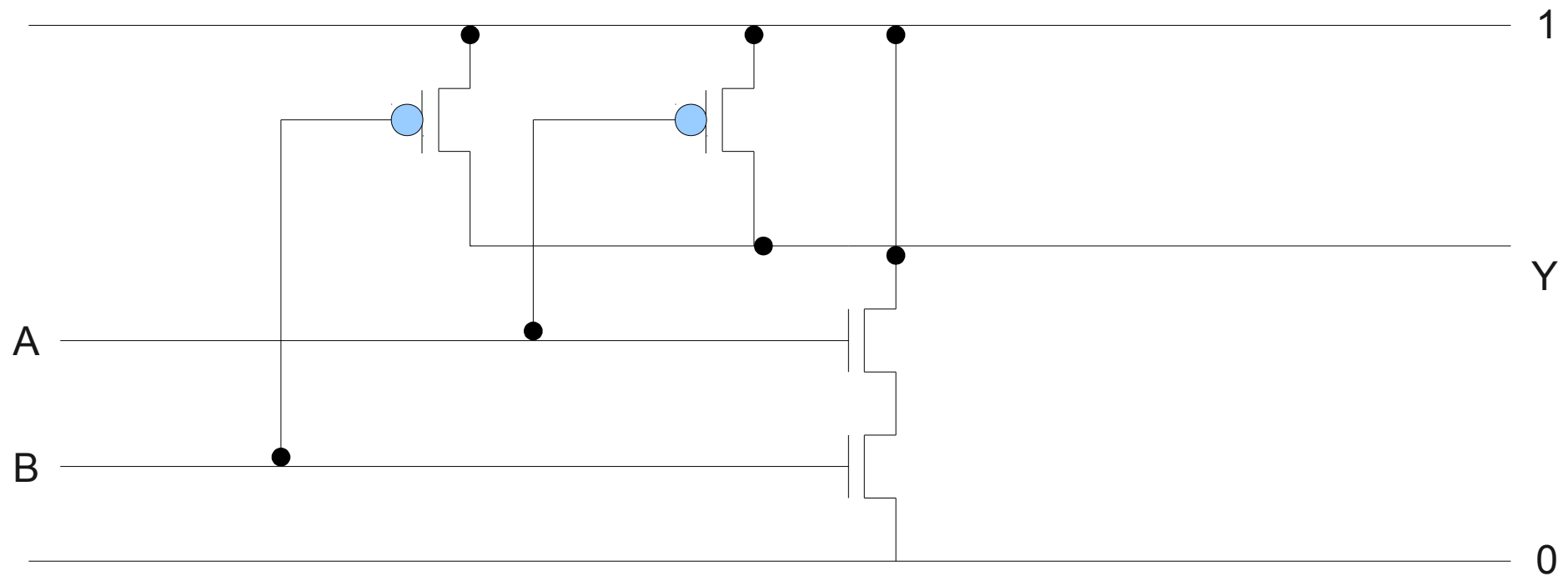
- Aufgabe 1
Siehe Erste Folie.
 - Enthalten sein müssen in einer Erklärung: n- und p-leitende Schicht, Sperrichtung und Durchlassrichtung.

- Aufgabe 2
nnp-Transistor braucht Zeit, die Sperrschicht abzubauen. Schließen ist langsamer als öffnen. FET: Elektrisches Feld breitet sich mit Lichtgeschwindigkeit aus, FET öffnet und schließt gleich schnell. FET ist wesentlich kleiner.

Lösungen

- Aufgabe 3

NAND Gatter mit CMOS



Lösungen

- Aufgabe 4

Die mit ● markierten Schmelzsicherungen müssen durchgeschmolzen werden.

